

Docket No.: 56937-097

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Nobufusa IWANISHI	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: October 30, 2003	:	Examiner: Unknown
	:	
For: CROSSTALK CHECKING METHOD	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

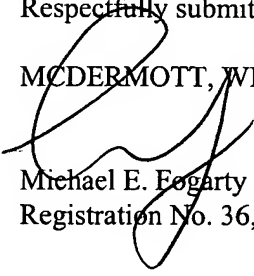
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2002-352337, filed December 4, 2002**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:tlb  
Facsimile: (202) 756-8087  
**Date: October 30, 2003**

56937-097  
IWANISHI  
October 30, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月 4日

出 願 番 号

Application Number:

特願2002-352337

[ST.10/C]:

[JP2002-352337]

出 願 人

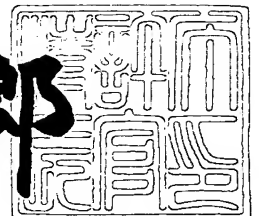
Applicant(s):

松下電器産業株式会社

2003年 2月28日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3011938

【書類名】 特許願

【整理番号】 5037540111

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 17/50  
H01L 21/82

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 岩西 信房

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100086737

【弁理士】

【氏名又は名称】 岡田 和秀

【電話番号】 06-6376-0857

【手数料の表示】

【予納台帳番号】 007401

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9305280

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロストークチェック方法

【特許請求の範囲】

【請求項 1】 レイアウトと配線ピッチに応じて異なる並行配線長の制限値を記述するピッチ別基準値とを入力として、隣接配線の並行配線長を抽出する並行配線長抽出手順と、

前記並行配線長抽出手順で抽出した隣接配線について配線ピッチを計算し、前記隣接配線の並行配線長と前記ピッチ別基準値とを比較して前記並行配線長の方が大きい場合にクロストーク発生箇所として判定するピッチ別並行配線長チェック手順とを含むことを特徴とするクロストークチェック方法。

【請求項 2】 レイアウトと配線を駆動するセルの駆動能力に応じて異なる並行配線長の制限値を記述する駆動能力別基準値とを入力として、隣接配線の並行配線長を抽出する並行配線長抽出手順と、

前記並行配線長抽出手順で抽出した隣接配線について配線を駆動するセルの駆動能力に対応した前記駆動能力別基準値を抽出し、前記隣接配線の並行配線長と比較して前記並行配線長の方が大きい場合にクロストーク発生箇所として判定する駆動能力別並行配線長チェック手順とを含むことを特徴とするクロストークチェック方法。

【請求項 3】 レイアウトと並行配線長の制限値を記述する基準値とを入力として、隣接配線の並行配線長を抽出する並行配線長抽出手順と、

ネットリストとクロックソースポイントとを入力として、パストレースを行い、クロックネットを抽出するクロックネット抽出手順と、

前記ネットリストに記述のセル出力端子における信号波形傾きを記述する傾き情報を入力として、前記並行配線長抽出手順で抽出し、かつ、前記クロックネット抽出手順で抽出したネットについて、セル出力端子での信号波形傾きの大きさに基づいて隣接配線をクロストークの影響を受ける側と与える側に分類し、前記ネットがクロストークの影響を受ける側かどうかを判定するアグレッサ／ビクティム判定手順とを含むことを特徴とするクロストークチェック方法。

【請求項 4】 レイアウトと並行配線長の制限値を記述する基準値とを入力と

して、隣接配線の並行配線長を抽出する並行配線長抽出手順と、

並行配線長と、その並行配線を駆動するセルの駆動能力に応じてクロストークが発生した場合に変動する遅延変動量を記述する遅延変動量テーブルとを入力として、前記並行配線長抽出手順で抽出した並行配線長がどれだけの遅延変動に相当するか計算する遅延変動量計算手順と、

前記遅延変動量計算手順で計算した遅延変動量をタイミング検証用の遅延情報に出力する遅延情報出力手順とを含むことを特徴とするクロストークチェック方法。

【請求項 5】 レイアウトと並行配線長の制限値を記述する基準値とを入力として、隣接配線の並行配線長を抽出する並行配線長抽出手順と、

遅延情報を記述するライブラリと標準かつ駆動能力複数のマスターセルを入力し、駆動能力未知の対象セル・ブロックについて前記ライブラリの出力信号波形傾き情報に基づいて前記マスターセルの複数の駆動能力毎に駆動能力判定値を計算し、次に、前記対象セル・ブロックの駆動能力判定値を計算し、比較によって前記対象セル・ブロックの駆動能力を決定する駆動能力設定手順と、

前記並行配線長抽出手順で抽出した隣接配線について、その隣接配線が前記対象セル・ブロックに駆動されている場合に、前記駆動能力設定手順で決定した駆動能力に対応する並行配線長制限値によりクロストーク判定する駆動能力別並行配線長チェック手順とを含むことを特徴とするクロストークチェック方法。

【請求項 6】 階層設計されたレイアウトに対し、前記レイアウトと並行配線長の制限値を記述する基準値とを入力として、各階層毎に隣接配線の並行配線長を抽出する並行配線長抽出手順と、

各階層のネットリストから階層を跨ぐ配線の接続関係を調べるバウンダリ情報抽出手順と、

階層を跨ぐ隣接配線の同一ネットについて各階層毎に抽出した並行配線長を足し合わせて階層を跨ぐ並行配線長を計算する階層組み上げ手順と、

階層を跨ぐ並行配線長を定められた基準値と比較してクロストーク発生箇所を判定する並行配線長チェック手順とを含むことを特徴とするクロストークチェック方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、基本論理セルあるいは機能マクロブロックをセル間配線で接続して構成される半導体集積回路について、そのレイアウト設計において、隣接した配線間で、片側の配線の信号遷移により発生するクロストークを検査するクロストークチェック方法に関する。

## 【0002】

## 【従来の技術】

従来技術を図13～図15を用いて説明する。

## 【0003】

クロストークとは、隣接する配線間で発生する現象で、隣接配線の一方の配線の信号変化が他方の配線の信号に影響を与える現象である。例を図13(a)、(b)、図14(a)、(b)に示す。

## 【0004】

駆動セル1300、配線1302、被駆動セル1301で構成されるパスを、クロストークによる影響を与える側（アグレッサ：aggressor）とし、駆動セル1304、配線1306、被駆動セル1305で構成されるパスを、クロストークによる影響を受ける側（ビクティム：victim）であるとして説明する。

## 【0005】

クロストークを考慮していない設計手法では、配線1302と配線1306間に生じるカップリング容量は、容量1307及び容量1308のように対接地の容量として表現し、遅延計算、タイミング検証という手順で設計を行う。よって、駆動セル1304の出力信号波形1309や、被駆動セル1305の入力信号波形1310は、駆動セル1304が容量1308を持つ配線1306を駆動するという条件で計算されており、配線1306の配線遅延も、それら2つの信号波形から配線遅延1311として計算される。0.35 $\mu$ mや0.25 $\mu$ mぐらいまでは、このような設計手法でも、クロストークによる影響が微小であるために、遅延の面で実動作との違いはほとんどなかった。

## 【 0 0 0 6 】

しかし、上記カップリング容量を、接地でなく、容量 1 3 1 2 のように、配線間の容量としてそのまま表し、遅延計算をした場合に得られる駆動セル 1 3 0 4 の出力信号波形 1 3 1 3、被駆動セル 1 3 0 5 の入力信号波形 1 3 1 4、及び出力信号波形 1 3 1 3 と入力信号波形 1 3 1 4 から計算される配線遅延 1 3 1 5 は、それぞれ出力信号波形 1 3 0 9、入力信号波形 1 3 1 0、配線遅延 1 3 1 1 とは異なってくる。駆動セル 1 3 0 0 と駆動セル 1 3 0 4 の出力信号波形の遷移方向が同じ場合、例えば、共に 0 から VDD に変化するような場合には、(式 1) ～ (式 3) の関係が成り立ち、逆に、遷移方向が異なる場合には、(式 4) ～ (式 6) の関係が成り立つ。ここで、信号波形傾きとは、電圧 0 から VDD、あるいは、VDD から 0 に信号が遷移する時間を意味する（立ち上がり、立ち下がり）の勾配ではない）。

## 【 0 0 0 7 】

(式 1) 出力信号波形 1 3 0 9 の傾き > 出力信号波形 1 3 1 3

(式 2) 入力信号波形 1 3 1 0 の傾き > 入力信号波形 1 3 1 4

(式 3) 配線遅延 1 3 1 1 > 配線遅延 1 3 1 5

(式 4) 出力信号波形 1 3 0 9 の傾き < 出力信号波形 1 3 1 3

(式 5) 入力信号波形 1 3 1 0 の傾き < 入力信号波形 1 3 1 4

(式 6) 配線遅延 1 3 1 1 < 配線遅延 1 3 1 5

これら、(式 1) ～ (式 6) の不等式の差は、カップリング容量 1 3 1 2 が大きくなるほど大きくなる。さらに、クロストークの影響を受け、遅延変動やグリッチ（ひげ状のパルス）が発生する配線であるビクティム（victim）に対し、クロストークの影響を与える側の配線であるアグレッサ（aggressor）の信号波形傾き比率が大きいほど、この差は大きくなる。ここでいう信号波形傾き比率とは、以下の(式 7)で計算される値である。

## 【 0 0 0 8 】

(式 7) 信号波形傾き比率 = ビクティムの信号波形傾き / アグレッサの信号  
波形傾き

すなわち、出力信号波形 1 3 1 3 の傾き / 出力信号波形 1 3 0 3 の傾きである

。0.18  $\mu$ m や 0.10  $\mu$ m と微細化が進むにつれ、カップリング容量が大きくなり、その結果、(式1)～(式6)で表される不等式の左辺と右辺の差が大きくなり、タイミング設計上、その差を無視することができなくなる。

#### 【0009】

また、図14(a)，(b)に示したように、クロストークにより発生したグリッチが原因で、誤動作を起こす場合もある。図14(a)，(b)は、駆動セル1304の出力は変化しないで、駆動セル1300の出力が変化した場合である。カップリング容量を接地で表現している図14(a)の場合には、駆動セル1304の出力にグリッチがのることはない。

#### 【0010】

しかし、本来は、図14(b)のようにカップリング容量1312が原因で、駆動セル1300の出力信号波形1303の変化により、駆動セル1304の出力にグリッチ1404が発生する。このグリッチ1404が大きい場合、配線1306、被駆動セル1305を伝播し、その後に繋がるフリップフロップ1400にまで到達する。もし、そのグリッチがフリップフロップ1400に到達したタイミングに、フリップフロップ1400にクロックが入力された場合、本来、0であるフリップフロップの出力信号波形1403が、0からVDDに遷移する信号1407として出力され、以降のパスの動作が所望のものではなくなる。

#### 【0011】

そこで、これらの問題に対応するために、市販ツールとして、レイアウト中にクロストークが発生しそうな箇所を抽出し、修正する方法(例えば、特許文献1参照)や、レイアウト後にクロストークが発生しているかどうかを検証する方法(例えば、特許文献2参照)が出てきている。

#### 【0012】

まず、レイアウト後にクロストーク発生箇所を抽出する方法について、図15を用いて説明する。

#### 【0013】

P&R手順1500では、前述したように、配線間のカップリング容量を接地の容量として表現し、タイミングを考慮しながらレイアウトを行う手順で、レイ



アウト 1 5 0 1 を生成する。RC 抽出手順 1 5 0 2 では、レイアウト 1 5 0 1 を入力として、配線の抵抗、容量成分が記述された RC 情報 1 5 0 3 を抽出する。この RC 情報 1 5 0 3 には、カップリング容量はそのまま配線間容量として記述されている。タイミング検証手順 1 5 0 4 では、RC 情報 1 5 0 3 を基に、レイアウト 1 5 0 1 を構成するセル及び配線の遅延時間を計算し、その計算された遅延情報を用いてタイミング解析を行う。このタイミング解析時に、セルの入出力端子毎に、信号が遷移するタイミングの情報を取得し、タイミング情報 1 5 0 5 として出力する。ノイズ解析手順 1 5 0 6 では、タイミング情報 1 5 0 5 を基に、まず、すべてのセルについて、信号が遷移するタイミングを調べる。次に、カップリング容量が発生している隣接配線を抜き出し、隣接配線それぞれの駆動セルを抽出する。その抽出したセルについて、タイミング情報 1 5 0 5 に記述の信号遷移タイミングを調べ、隣接配線間で、タイミングウインドウの重なりが生じているかどうかを判定する。もし、タイミングウインドウの重なりがある場合には、修正情報 1 5 0 7 として出力する。以上のタイミング調査及びタイミングウインドウの重なりをすべてのセルに対し、評価する。このタイミングウインドウから、クロストークによる遅延変動がどうなっているかを計算し、静的なタイミング検証を行う。その結果、タイミングを満たさないパスと、どこが原因となっているかがレポートされ、修正すべき箇所が見つかる。

#### 【 0 0 1 4 】

次に、レイアウト段階で、クロストークが発生する箇所を見つける方法について説明する。

#### 【 0 0 1 5 】

一般的にレイアウトツールでは、上記したクロストークにより遅延変動が起こり、タイミングエラーが起こっているかどうかを調べる方法と、クロストークの予防策として、隣接配線の並行配線長に制限をかける手法が用いられる。タイミングエラー箇所を見つける方法は前述した方法と同じであるので、クロストークの予防策について説明する。

#### 【 0 0 1 6 】

具体例を図 1 6、図 1 7 を用いて説明する。

【 0 0 1 7 】

レイアウト 1 6 0 0 中に、図 1 7 に示すような隣接配線間に並行配線があった場合に、その並行配線の長さが、レイアウト時に入力される基準値 1 6 0 1 以下になっているかどうかを判定し、もし、基準値 1 6 0 1 以上であれば、クロストーク発生箇所として、レイアウト修正される。

【 0 0 1 8 】

【特許文献 1】

特開平 7 - 2 4 9 0 6 5 号公報（第 2 ～ 3 頁、図 1 ～ 図 5）

【特許文献 2】

特開平 5 - 2 4 3 3 8 3 号公報（第 2 ～ 4 頁、図 1 ～ 図 7）

【 0 0 1 9 】

【発明が解決しようとする課題】

前述したようにクロストーク発生箇所をチェックする方法としてはいくつかある。レイアウト後に、タイミングを考慮してクロストーク発生箇所をチェックする方法では、修正必要となった場合の手戻りが大きく工数がかかる。また、レイアウト後では、クロックなどのタイミング合わせ込みを実施した後であるので、修正するのが難しい。

【 0 0 2 0 】

また、レイアウト時にクロストーク発生箇所をチェックする方法では、一律の並行配線長でチェックすることになるので、クロストーク発生と判定される箇所が膨大になる。その結果、その発生箇所を修正すると、処理時間の増大や面積増大を招く。

【 0 0 2 1 】

【課題を解決するための手段】

上記の課題を解決するために、基本論理セルまたは機能マクロブロックをセル間配線で接続し構成される半導体集積回路において、隣接した配線間で、片側の配線の信号遷移により発生するクロストークを検査するクロストークチェック方法について、本発明は以下のような手段を講じる。

【 0 0 2 2 】

第1の解決手段として、本発明によるクロストークチェック方法は、それぞれ次のような内容の複数の手順を含むものとして構成されている。すなわち、並行配線長抽出手順とピッチ別並行配線長チェック手順とである。前記の並行配線長抽出手順においては、レイアウトと配線ピッチに応じて異なる並行配線長の制限値を記述するピッチ別基準値とを入力として、隣接配線の並行配線長を抽出する。また、前記のピッチ別並行配線長チェック手順においては、前記並行配線長抽出手順で抽出した隣接配線について配線ピッチを計算し、前記隣接配線の並行配線長と前記ピッチ別基準値とを比較し、前記並行配線長の方が大きい場合にクロストーク発生箇所として判定する。

## 【 0 0 2 3 】

この構成によれば、隣接配線の配線ピッチに応じた並行配線長制限値（ピッチ別基準値）を設けることにより、一律の並行配線長制限値で処理する従来技術では修正していた箇所を修正しなくても良くなり、余計なセル挿入やセルサイジングを抑制し、処理工数の削減を図れるとともに、面積増加・消費電力増加を抑制することができる。

## 【 0 0 2 4 】

第2の解決手段として、本発明によるクロストークチェック方法は、それぞれ次のような内容の複数の手順を含むものとして構成されている。すなわち、並行配線長抽出手順と駆動能力別並行配線長チェック手順とである。前記の並行配線長抽出手順においては、レイアウトと配線を駆動するセルの駆動能力に応じて異なる並行配線長の制限値を記述する駆動能力別基準値とを入力として、隣接配線の並行配線長を抽出する。また、前記の駆動能力別並行配線長チェック手順においては、前記並行配線長抽出手順で抽出した隣接配線について配線を駆動するセルの駆動能力に対応した前記駆動能力別基準値を抽出し、前記隣接配線の並行配線長と比較して前記並行配線長の方が大きい場合にクロストーク発生箇所として判定する。

## 【 0 0 2 5 】

この構成による作用は次のとおりである。クロストークは、隣接配線間のカップリング容量に対し、一方の配線が充電中に、他方の配線が充電を助けたり、放

電することにより充電を阻害したりすることが原因で、タイミングが変化したり、電圧が変動する現象である。よって、駆動能力が強い方が駆動能力が弱い方よりも他者からのカップリング容量への充電、放電の影響が相対的に受けにくくなり、クロストークによる影響が小さくなる。そのため、駆動能力の大きさに応じて、並行配線長制限値を変更することができる。上記の構成によれば、配線を駆動するセルの駆動能力に応じた並行配線長制限値（駆動能力別基準値）を設けることにより、一律の並行配線長制限値で処理する従来技術では修正していた箇所を修正しなくても良くなり、余計なセル挿入やセルサイジングを抑制し、処理工数の削減を図れるとともに、面積増加・消費電力増加を抑制することができる。

## 【 0 0 2 6 】

第3の解決手段として、本発明によるクロストークチェック方法は、それぞれ次のような内容の複数の手順を含むものとして構成されている。すなわち、並行配線長抽出手順とクロックネット抽出手順とアグレッサ／ビクティム判定手順とである。前記の並行配線長抽出手順においては、レイアウトと並行配線長の制限値を記述する基準値とを入力として、隣接配線の並行配線長を抽出する。また、前記のクロックネット抽出手順においては、ネットリストとクロックソースポイントとを入力として、パストレースを行い、クロックネットを抽出する。さらに、前記のアグレッサ／ビクティム判定手順においては、前記ネットリストに記述のセル出力端子における信号波形傾きを記述する傾き情報を入力として、前記並行配線長抽出手順で抽出し、かつ、前記クロックネット抽出手順で抽出したネットについて、セル出力端子での信号波形傾きの大きさに基づいて隣接配線をクロストークの影響を受ける側と与える側に分類し、前記ネットがクロストークの影響を受ける側かどうかを判定する。隣接配線のうちクロストークの影響を与える側の配線をアグレッサ（aggressor）といい、クロストークの影響を受け、遅延変動やグリッチが発生する側の配線をビクティム（victim）という。

## 【 0 0 2 7 】

この構成によれば、クロックネットに注目し、クロックネットでクロストークが発生していないかどうかを検証する。クロックネットがクロストークにより遅延変動すると、LSI全体でスキューを合わせ込んでいたのが崩れ、誤動作に繋

がる可能性がある。また、グリッチが発生すると、予期せぬタイミングでクロックが入り、論理エラーが発生し、誤動作となる。つまり、クロックがビクティム (victim) になるような設計は、修正する必要がある。クロックネットはスキューを合わせ込んでいるので、クロックネットを修正するのではなく、隣接するネットの方を修正する。これにより、市場不良の発生を抑制し、歩留まりを向上する。

## 【 0 0 2 8 】

第4の解決手段として、本発明によるクロストークチェック方法は、それぞれ次のような内容の複数の手順を含むものとして構成されている。すなわち、並行配線長抽出手順と遅延変動量計算手順と遅延情報出力手順とである。前記の並行配線長抽出手順においては、レイアウトと並行配線長の制限値を記述する基準値とを入力として、隣接配線の並行配線長を抽出する。また、前記の遅延変動量計算手順においては、並行配線長と、次のような遅延変動量テーブルを入力として、前記並行配線長抽出手順で抽出した並行配線長がどれだけの遅延変動に相当するか計算する。前記の遅延変動量テーブルは、並行配線を駆動するセルの駆動能力に応じて、クロストークが発生した場合に変動する遅延変動量を記述するものである。さらに、前記の遅延情報出力手順においては、前記遅延変動量計算手順で計算した遅延変動量をタイミング検証用の遅延情報に出力する。

## 【 0 0 2 9 】

この構成によれば、並行配線長に基づいて、クロストークにより変動する遅延変動量を計算し、これに基づいてタイミング検証を行うことで、クロストーク発生箇所を見つける。タイミングに余裕のある箇所では、隣接配線間の並行配線長が長くても修正する必要がなく、修正工数を削減ができる。

## 【 0 0 3 0 】

第5の解決手段として、本発明によるクロストークチェック方法は、それぞれ次のような内容の複数の手順を含むものとして構成されている。すなわち、並行配線長抽出手順と駆動能力設定手順と駆動能力別並行配線長チェック手順とである。前記の並行配線長抽出手順においては、レイアウトと並行配線長の制限値を記述する基準値とを入力として、隣接配線の並行配線長を抽出する。また、前記

の駆動能力設定手順においては、遅延情報を記述するライブラリと標準かつ駆動能力複数のマスターセルを入力し、例えば I P ブロックのような駆動能力未知の対象セル・ブロックについて前記ライブラリの出力信号波形傾き情報に基づいて前記マスターセルの複数の駆動能力毎に駆動能力判定値を計算し、次に、前記対象セル・ブロックの駆動能力判定値を計算し、比較によって前記対象セル・ブロックの駆動能力を決定する。マスターセルとは、インバータやバッファのように標準セルとして登録されており、かつ、複数の駆動能力が用意されているセルである。前記の駆動能力別並行配線長チェック手順においては、前記並行配線長抽出手順で抽出した隣接配線について、その隣接配線が前記対象セル・ブロックに駆動されている場合に、前記駆動能力設定手順で決定した駆動能力に対応する並行配線長制限値によりクロストーク判定する。

## 【 0 0 3 1 】

この構成による作用は次のとおりである。社外から I P ブロックやセルを導入した場合、自社の駆動能力の考え方とは異なっているのが普通で、導入した I P ブロックやセルの駆動能力が不明である場合が多い。このような駆動能力未知の対象セル・ブロックについて、駆動能力を設定した上で、クロストーク発生箇所のチェックを行う。したがって、实际的に修正しなければならない箇所を割り出し、余計な面積増加を抑制しながら、レイアウト修正を行うことができる。

## 【 0 0 3 2 】

第 6 の解決手段として、本発明によるクロストークチェック方法は、それぞれ次のような内容の複数の手順を含むものとして構成されている。すなわち、並行配線長抽出手順とバウンダリ情報抽出手順と階層組み上げ手順と並行配線長チェック手順とである。前記の並行配線長抽出手順においては、階層設計されたレイアウトに対し、前記レイアウトと並行配線長の制限値を記述する基準値とを入力として、各階層毎に隣接配線の並行配線長を抽出する。また、前記のバウンダリ情報抽出手順においては、各階層のネットリストから階層を跨ぐ配線の接続関係を調べる。また、前記の階層組み上げ手順においては、階層を跨ぐ隣接配線の同一ネットについて各階層毎に抽出した並行配線長を足し合わせて階層を跨ぐ並行配線長を計算する。さらに、前記の並行配線長チェック手順においては、階層を

跨ぐ並行配線長を定められた基準値と比較してクロストーク発生箇所を判定する。

【 0 0 3 3 】

この構成によれば、階層設計されたデザインであっても、階層を展開した状態で並行配線長をチェックすることにより、クロストークの影響を軽減することが可能である。

【 0 0 3 4 】

【発明の実施の形態】

以下、本発明にかかわるクロストークチェック方法の実施の形態を図面に基づいて説明する。

【 0 0 3 5 】

(実施の形態 1)

本発明の実施の形態 1 におけるクロストークチェック方法について、図面を参照しながら説明する。

【 0 0 3 6 】

図 1 はレイアウト時のクロストーク発生箇所判定において、配線ピッチに応じて制限用の並行配線長を変える手法を表す図、図 2 は図 1 の具体例を表す図である。図 1 において、S 1 0 0 はピッチ別並行配線長チェック手順、1 0 0 はピッチ別基準値である。図 2 において、2 0 0 ～ 2 0 7 はセル、2 0 8 はセル 2 0 0、2 0 2 によって駆動される隣接配線が並行している部分の長さである並行配線長、2 0 9 はセル 2 0 4、2 0 6 によって駆動される隣接配線の並行配線長、2 1 0 及び 2 1 1 はピッチ別基準値 1 0 0 に記述されているピッチ別の並行配線長制限値、2 1 2 はセル 2 0 0、2 0 2 によって駆動される隣接配線の配線ピッチ、2 1 3 はセル 2 0 4、2 0 6 によって駆動される隣接配線の配線ピッチである。

【 0 0 3 7 】

最初に言葉の定義をしておく。配線ピッチとは、隣接配線の各配線中心間の距離を指す。

【 0 0 3 8 】

並行配線長抽出手順 S 1 6 0 0 において、レイアウト 1 6 0 0 とピッチ別基準値 1 0 0 から、隣接配線の並行配線長を抽出する。このとき、並行配線長抽出手順 S 1 6 0 0 で参照する並行配線長制限値は、ピッチ別基準値 1 0 0 に記述されたピッチ別の並行配線長制限値の最も小さい値である。

## 【 0 0 3 9 】

ピッチ別基準値 1 0 0 について説明する。ピッチ別基準値 1 0 0 には、配線ピッチ毎に異なる並行配線長制限値が記述されている。この配線ピッチ別の並行配線長制限値は、予め、“h s p i c e”などの回路シミュレーターを用いて求められたものである。配線ピッチと前記並行配線長制限値の関係について説明する。図 2 に示すように配線ピッチ 2 1 2 と配線ピッチ 2 1 3 が（式 8）の関係とする。

## 【 0 0 4 0 】

（式 8） 配線ピッチ 2 1 2 < 配線ピッチ 2 1 3

この場合、並行配線長制限値 2 1 0 と並行配線長制限値 2 1 1 の関係は、（式 9）になる。

## 【 0 0 4 1 】

（式 9） 並行配線長制限値 2 1 0 < 並行配線長制限値 2 1 1

配線ピッチが広くなることにより、隣接配線間のカップリング容量が小さくなり、その結果、クロストークの影響が小さくなる。よって、配線ピッチが大きい方がクロストークの影響を受けにくいので、並行配線長制限値は大きくなる。

## 【 0 0 4 2 】

次に、ピッチ別並行配線長チェック手順 S 1 0 0 において、配線ピッチに対応した並行配線長制限値により並行配線長をチェックする。図 2 の例では、配線ピッチ 2 1 2 に対応する並行配線長制限値 2 1 0 と並行配線長 2 0 8 とを比較して、並行配線長 2 0 8 の方が長いので、この隣接配線組はクロストーク発生箇所として判定する。次に、配線ピッチ 2 1 3 に対応する並行配線長制限値 2 1 1 と並行配線長 2 0 9 とを比較して、並行配線長 2 0 9 の方が短いので、この隣接配線組はクロストーク発生箇所ではないと判定する。以降、すべての隣接配線に対し、同様の処理をすることで、クロストーク発生箇所かどうかを判定し、クロスト



ーク発生箇所についてはレイアウト修正を行う。クロストーク発生箇所と判定しなかった箇所は、レイアウト修正の対象外とする。

#### 【 0 0 4 3 】

以上、説明したように、隣接配線の配線ピッチに応じた並行配線長制限値を設けることにより、一律の並行配線長制限値で処理する従来例に対し、レイアウト修正箇所を削減することができる。その結果、処理工数の削減を図れるとともに、面積増加の抑制を行うことができる。さらに、従来では修正していた箇所を修正しなくても良いと判断することにより、余計なセル挿入やセルサイジングを防ぐことができ、消費電力の増加を抑制することができるという効果もある。

#### 【 0 0 4 4 】

##### （実施の形態 2）

本発明の実施の形態 2 におけるクロストークチェック方法について、図面を参照しながら説明する。

#### 【 0 0 4 5 】

図 3 はレイアウト時のクロストーク発生箇所判定において、配線駆動セルの駆動能力に応じて制限用の並行配線長を変える手法を表す図、図 4 は図 3 の具体例を表す図である。図 3 において、S 3 0 0 は駆動能力別並行配線長チェック手順、3 0 0 は駆動能力別基準値である。図 4 において、4 0 0 ～ 4 0 7 はセル、4 0 8 はセル 4 0 0、4 0 2 によって駆動される隣接配線が並行している部分の長さである並行配線長、4 0 9 はセル 4 0 4、4 0 6 によって駆動される隣接配線の並行配線長、4 1 0 及び 4 1 1 は駆動能力別基準値 3 0 0 に記述されている駆動能力別の並行配線長制限値である。

#### 【 0 0 4 6 】

並行配線長抽出手順 S 1 6 0 0 において、レイアウト 1 6 0 0 と駆動能力別基準値 3 0 0 から、隣接配線の並行配線長を抽出する。このとき、抽出に使われる並行配線長制限値は駆動能力別基準値 3 0 0 に記述されている最も小さい値である。

#### 【 0 0 4 7 】

駆動能力別基準値 3 0 0 について説明する。駆動能力別基準値 3 0 0 には、配

線を駆動するセルの駆動能力別にチェックすべき並行配線長制限値が記述されている。この駆動能力別の並行配線長制限値は、予め、“h s p i c e”などの回路シミュレーターを用いて求められたものである。駆動能力と並行配線長制限値の関係について説明する。セル 4 0 0 の駆動能力とセル 4 0 4 の駆動能力が（式 1 0）の関係とする。

【0 0 4 8】

（式 1 0） セル 4 0 0 の駆動能力 > セル 4 0 4 の駆動能力

この場合、並行配線長制限値 4 1 0 と並行配線長制限値 4 1 1 の関係は、（式 1 1）になる。

【0 0 4 9】

（式 1 1） 並行配線長制限値 4 1 0 > 並行配線長制限値 4 1 1

駆動能力が強くなることにより、隣接配線間のカップリング容量への充電及び放電する力が強くなる。クロストークは、隣接配線間のカップリング容量に対し、一方の配線が充電中に、他方の配線が充電を助けたり、放電することにより充電を阻害したりすることが原因で、タイミングが変化したり、電圧が変動する現象である。よって、駆動能力が強い方が駆動能力が弱い方よりも他者からのカップリング容量への充電、放電の影響が相対的に受けにくくなり、クロストークによる影響が小さくなる。そのため、駆動能力の大きさに応じて、並行配線長制限値を変更することができる。

【0 0 5 0】

次に、駆動能力別並行配線長チェック手順 S 3 0 0 において、配線駆動セルの駆動能力に対応した並行配線長制限値により並行配線長をチェックする。図 4 の例では、セル 4 0 0 の駆動能力に対応する並行配線長制限値 4 1 0 と並行配線長 4 0 8 とを比較して、並行配線長 4 0 8 の方が短いので、この隣接配線組はクロストーク発生箇所ではないと判定する。次に、セル 4 0 4 の駆動能力に対応する並行配線長制限値 4 1 1 と並行配線長 4 0 9 とを比較して、並行配線長 4 0 9 の方が長いので、この隣接配線組はクロストーク発生箇所であると判定する。以降、すべての隣接配線に対し、同様の処理をすることで、クロストーク発生箇所かを判定し、クロストーク発生箇所についてはレイアウト修正を行う。クロストー

ク発生箇所でないとは判定した隣接配線はレイアウト修正を行わない。

【 0 0 5 1 】

以上、説明したように、配線を駆動するセルの駆動能力に応じた並行配線長制限値を設けることにより、一律の並行配線長制限値で処理する従来例に対し、レイアウト修正箇所を削減することができる。その結果、処理工数の削減を図れるとともに、面積増加の抑制を行うことができる。さらに、従来では修正していた箇所を修正しなくても良いと判断することにより、余計なセル挿入やセルサイジングを防ぐことができ、消費電力の増加を抑制することができるという効果もある。

【 0 0 5 2 】

（実施の形態 3）

本発明の実施の形態 3 におけるクロストークチェック方法について、図面を参照しながら説明する。

【 0 0 5 3 】

図 5 はレイアウト時のクロストーク発生箇所判定において、クロック配線に注目し並行配線長をチェックする手法を表す図、図 6 は図 5 の具体例を表す図である。図 5 において、S 5 0 0 はクロックネット抽出手順、S 5 0 1 はアグレッサ／ビクティム判定手順、5 0 0 はネットリスト、5 0 1 は各セル信号波形の傾き情報である。図 6 において、6 0 0、6 0 1 はクロックラインのセル、6 0 2、6 0 3 はセル、6 0 4 はセル 6 0 0 の出力端子における信号波形傾き、6 0 5 はセル 6 0 2 の出力端子における信号波形傾き、6 0 6、6 0 7 はクロックラインのセル、6 0 8、6 0 9 はセル、6 1 0 はセル 6 0 6 の出力端子における信号波形傾き、6 1 1 はセル 6 0 8 の出力端子における信号波形傾きである。

【 0 0 5 4 】

並行配線長抽出手順 S 1 6 0 0 において、レイアウト 1 6 0 0 と基準値 1 6 0 1 から、隣接配線の並行配線長を抽出する。ここで抽出された隣接配線が、図 6（a）、（b）に示す 2 つの隣接配線とする。

【 0 0 5 5 】

次に、クロックネット抽出手順 S 5 0 0 において、ネットリスト 5 0 0 とクロ

ックソースポイントとを入力として、パストレースを行うことにより、クロックを構成するネットを抽出する。このクロックネット抽出によって、図 6 (a), (b) に示すセル 6 0 0 が駆動する配線と、セル 6 0 6 が駆動する配線がクロックネットとして抽出されたものとして、以降の説明をする。

## 【 0 0 5 6 】

次に、アグレッサ／ビクティム判定手順 S 5 0 1 において、信号波形の傾き情報 5 0 1 を入力として、すべてのセルの出力端子での信号波形の傾きから、クロックネット抽出手順 S 5 0 0 において抽出したネットがビクティム (victim) になっていないかどうか判定する。ここで、信号波形傾きとは、電圧 0 から VDD、あるいは、VDD から 0 に信号が遷移する時間を意味する。信号波形傾きは遷移の時間であって、勾配ではない。また、アグレッサ (aggressor) とは、クロストークの影響を与える側の配線を指し、ビクティム (victim) とは、クロストークの影響を受け、遅延変動やグリッチが発生する配線を指す。

## 【 0 0 5 7 】

この判定方法について詳細に説明する。図 6 (a) で、セル 6 0 0 の出力端子における信号波形傾き 6 0 4 と、セル 6 0 5 の出力端子における信号波形傾き 6 0 5 を比較する。これらの信号波形傾きは、傾き情報 5 0 1 に記述されていた情報で、アグレッサ／ビクティム判定手順 S 5 0 1 において読み込まれる。図 6 (a) の場合、信号波形傾き 6 0 4 と信号波形傾き 6 0 5 の関係は、(式 1 2) の関係になる (信号波形傾きは遷移時間であって、勾配ではない)。

## 【 0 0 5 8 】

(式 1 2) 信号波形傾き 6 0 4 > 信号波形傾き 6 0 5

(式 1 2) の関係の場合、信号波形傾き 6 0 4 の方が大きいために、セル 6 0 0 に駆動されるクロック配線はビクティム (victim) と判定する。逆に、図 6 (b) に示したように、(式 1 3) の関係があれば、セル 6 0 6 に駆動されるクロック配線はアグレッサ (aggressor) と判定する。

## 【 0 0 5 9 】

(式 1 3) 信号波形傾き 6 1 0 < 信号波形傾き 6 1 1

それで、すべての隣接配線について、信号波形傾きの大きさを比較することに

より、アグレッサ／ビクティム (aggressor/victim) を決定する。

【0060】

最後に、先にクロックネット抽出手順 S 5 0 0 で抽出したクロックネットがビクティム (victim) になっていないかどうかを判定し、もし、ビクティム (victim) になっているクロックネットがあれば、出力する。

【0061】

ここで、ビクティム (victim) になるクロックネットを抽出する意味について説明する。クロックネットがクロストークにより遅延変動すると、L S I 全体でスキューを合わせ込んでいたのが崩れることになる。その結果、誤動作に繋がる可能性がある。また、グリッチが発生すると、予期せぬタイミングでクロックが入り、論理エラーが発生し、誤動作となる。つまり、クロストークを考慮した場合、クロックがビクティム (victim) になるような設計は、品質の面で問題があるので、修正する必要がある。

【0062】

クロックネットの修正においては、クロックネットはスキューを合わせ込んでいるので、クロックネットを修正するのではなく、隣接するネットの方を修正する。

【0063】

以上、説明したように、クロックネットに注目し、クロックネットでクロストークが発生していないかどうかを検証することにより、市場不良の出ない高信頼性 L S I を製造することができる。その結果、歩留まりも向上するという効果もある。

【0064】

(実施の形態 4)

本発明の実施の形態 4 におけるクロストークチェック方法について、図面を参照しながら説明する。

【0065】

図 7 はレイアウト時のクロストーク発生箇所判定において、隣接配線の並行配線長から遅延変動量を計算し、タイミング検証する方法を表す図、図 8 は図 7 の

具体例を表す図である。図 7 において、S 7 0 0 は遅延変動量計算手順、S 7 0 1 は遅延情報出力手順、7 0 0 は遅延変動量テーブルである。図 8 において、8 0 0 ～ 8 0 3 はセル、8 0 4 は並行配線長、8 0 5 は遅延情報である。

#### 【 0 0 6 6 】

並行配線長抽出手順 S 1 6 0 0 において、レイアウト 1 6 0 0 と基準値 1 6 0 1 から、隣接配線の並行配線長を抽出する。ここで抽出した隣接配線が、図 8 に示す隣接配線であり、セル 8 0 0 とセル 8 0 2 に駆動されるそれぞれの配線が並行配線長 8 0 4 だけ隣接しており、セル 8 0 0 及びセル 8 0 2 の出力信号波形傾きから、セル 8 0 0 に駆動される配線がビクティム (victim) であるとする。

#### 【 0 0 6 7 】

次に、遅延変動量計算手順 S 7 0 0 において、並行配線長 8 0 4 とセル 8 0 0 の駆動能力から、遅延変動量テーブル 7 0 0 を参照し、クロストークにより変動する遅延量を計算する。遅延変動量テーブル 7 0 0 は、並行配線長と駆動能力のテーブルとなっていて、テーブル間は任意の補間アルゴリズムにより補間する。

#### 【 0 0 6 8 】

次に、遅延情報出力手順 S 7 0 1 において、遅延変動量計算手順 S 7 0 0 で計算した遅延変動量を、遅延情報 8 0 5 として出力する。遅延情報を表す方法として、S D F (Standard Delay Format) がよく用いられるが、この遅延情報 8 0 5 は、S D F の I N C R E M E N T A L 記述により表現する。これらの遅延情報を、すべてのビクティム (victim) となる配線に対して行い、デザインの遅延情報を作成する。

#### 【 0 0 6 9 】

最後に、前記遅延情報と、クロストークが発生しないときの遅延情報を用いて、タイミング検証することにより、クロストークによってタイミングエラーとなる箇所を特定する。特定後、タイミングエラーが出ている箇所に対し、レイアウト修正を施すことによりクロストークが原因となるタイミングエラーを回避することができる。

#### 【 0 0 7 0 】

なお、今回の例では、遅延変動量テーブル 7 0 0 は、並行配線長と駆動能力の

テーブルとして説明したが、セル種別や、配線ピッチ、配線層などの情報を追加して、テーブルを大きくしても同様の処理で実施できる。また、遅延変動量テーブル 700 は、いろいろな条件で、予め、“h s p i c e”などの回路シミュレーターを用いて作成しておく。

#### 【0071】

以上、説明したように、並行配線長などからクロストークにより変動する遅延変動量を計算し、タイミング検証して、クロストーク発生箇所を見つけることができる。この手法では、タイミングに余裕のある箇所では、隣接配線間の並行配線長が長くても修正する必要がないので、修正工数を削減することができる。

#### 【0072】

##### （実施の形態 5）

本発明の実施の形態 5 におけるクロストークチェック方法について、図面を参照しながら説明する。

#### 【0073】

図 9 はレイアウト時のクロストーク発生箇所判定において、IP（機能ブロック：IntellectualProperty）などの駆動能力が不明なブロック／セルに対し、駆動能力を設定し、並行配線長を制限する方法を表す図、図 10 は図 9 に示す駆動能力設定手順をより詳細に手順分けして示した図である。図 9 において、S900 は駆動能力設定手順、900 は遅延ライブラリである。図 10 において、S1000 はマスターセル駆動能力判定値作成手順、S1001 は対象セル駆動能力判定値計算手順、S1002 は対象セル駆動能力判定手順、1000 はマスターセル、1001 は対象セルである。

#### 【0074】

まず最初に、駆動能力についての説明をする。駆動能力とは、セル出力段のトランジスタ構造をモデル化したもので、トランジスタサイズに応じて、駆動できる容量の最大値が変化する。そのため、セル開発においては、同一機能を持ったセルで、駆動能力だけが異なるセルを何種類か作成することが一般的になっている。これは、デザイン中で、前記セルがどこで使われるかわからないので、駆動すべき容量が小さいところでは、駆動能力の弱いものを使用し、逆に、駆動すべき

容量が大きいところでは、駆動能力の強いものを使用する。ただし、駆動能力が強くなる毎にトランジスタサイズが大きくなるので、セル面積は増大していく。例えば、インバータ機能を持つセルであれば、まず基本となる駆動能力を持つインバータセルを開発し、そのインバータセルに対し、2 倍の駆動能力を持つインバータセル、3 倍の駆動能力を持つインバータセルというように、機能はまったく同じで、駆動能力だけが異なるセルを何種類か用意する。ここで、基本となる駆動能力をどう設定するか、何倍の駆動能力を持つセルを作成するかは、プロセスに依存することが多く、使うプロセスが異なれば、作成思想も異なる。そのため、社外から I P ブロックやセルを導入した場合、自社の駆動能力の考え方とは異なっているのが普通で、社外から導入した I P ブロックやセルの駆動能力が不明である場合が多い。

## 【 0 0 7 5 】

しかし、クロストークは、隣接配線を駆動するセルの駆動能力によるところが大きいので、この駆動能力が不明なブロックやセルに対しても、駆動能力を設定する手段が必要となる。そこで、本発明のポイントである、駆動能力が不明なブロックやセルに対する駆動能力設定方法について説明する。

## 【 0 0 7 6 】

並行配線長抽出手順 S 1 6 0 0 において、レイアウト 1 6 0 0 と基準値 1 6 0 1 から、隣接配線の並行配線長を抽出する。

## 【 0 0 7 7 】

次に、駆動能力設定手順 S 9 0 0 において、セルの遅延情報を記述するライブラリ 9 0 0 から、駆動能力を計算し、すべてのブロックやセルに対し、駆動能力を設定する。この駆動能力設定手順 S 9 0 0 において、社内で開発したものは、駆動能力の定義がされているので、何も問題ない。しかし、社外から導入した I P ブロックへの駆動能力をどう設定するかが重要となる。そこで、駆動能力設定手順 S 9 0 0 をより詳細に、図 1 0 を用いて説明する。

## 【 0 0 7 8 】

駆動能力設定手順 S 9 0 0 は、マスターセル駆動能力判定値作成手順 S 1 0 0 0 と、対象セル駆動能力判定値計算手順 S 1 0 0 1 と、対象セル駆動能力判定手



順 S 1 0 0 2 により構成される。マスターセル駆動能力判定値作成手順 S 1 0 0 0 では、すべてのブロックやセルの遅延情報を記述するライブラリ 9 0 0 とマスターセル 1 0 0 0 とを入力として、マスターセルの駆動能力判定値 1 0 0 2 を計算する。マスターセルとは、駆動能力が不明なブロックやセルの駆動能力を設定するときに参照されるセルで、単純なインバータやバッファを設定するのが望ましい。

## 【 0 0 7 9 】

この駆動能力判定値 1 0 0 2 とは、駆動能力を表す値で以下の（式 1 4）を用いて計算される。

## 【 0 0 8 0 】

（式 1 4） 駆動能力判定値 = （セルの出力信号波形傾き最大値 - セルの出力信号波形傾き最小値） / （駆動容量の最大値 - 駆動容量の最小値）

一般的な遅延ライブラリでは、セルの出力信号波形傾きを、セルの入力信号波形傾きと、駆動する容量（（式 1 4）では、駆動容量と表現した）の関数、あるいは、テーブルとして表現されることが多い。（式 1 4）の分子の値は、駆動能力の強さにかかわらず、ほぼ一定である。しかし、駆動能力が強くなると、駆動できる容量が大きくなるので、分母が大きくなっていく。そのため、駆動能力判定値 1 0 0 2 は、駆動能力が大きいほど、値が小さくなる。

## 【 0 0 8 1 】

（式 1 4）を、マスターセルの駆動能力毎に計算しておく。その結果、駆動能力判定値 1 0 0 2 は駆動能力毎に異なる値として計算され、駆動能力が大きくなるほど、小さい値で設定されている。

## 【 0 0 8 2 】

次に、対象セル駆動能力判定値計算手順 S 1 0 0 1 では、駆動能力が不明な対象セル 1 0 0 1 とそのライブラリ 9 0 0 とを入力として、（式 1 4）を用いて、同様に駆動能力判定値を計算する。

## 【 0 0 8 3 】

次に、対象セル駆動能力判定手順 S 1 0 0 2 において、駆動能力判定値 1 0 0 2 と対象セル 1 0 0 1 の駆動能力判定値より、対象セル 1 0 0 1 の駆動能力がど

れに相当するかを決定する。

【 0 0 8 4 】

最後に、駆動能力別並行配線長チェック手順 S 3 0 0 において、すべてのブロック及びセルについて駆動能力が設定されているので、駆動能力別基準値 3 0 0 に従い、隣接配線の並行配線長チェックを行う。駆動能力別並行配線長チェック手順 S 3 0 0 の詳細については、実施の形態 2 で説明している。このチェックにおいて、クロストーク発生箇所と判定した箇所についてはレイアウト修正を施す。

【 0 0 8 5 】

以上、説明したように、自社内だけの設計では、駆動能力が分らない場合は存在しないが、社外 I P や社外セルを使う場合に、駆動能力が分らない場合に、本発明の駆動能力設定方法を適用することで、駆動能力が設定でき、クロストーク発生箇所のチェックを行うことができる。その結果、本当に修正しなければならない箇所のみ修正することが可能となるので、余計な面積増加を防ぐことができる。

【 0 0 8 6 】

なお、（式 1 4 ）において、駆動能力判定値の計算を駆動容量だけで計算したが、入力信号波形傾きも式にいれても良い。

【 0 0 8 7 】

（実施の形態 6 ）

本発明の実施の形態 6 におけるクロストークチェック方法について、図面を参照しながら説明する。

【 0 0 8 8 】

図 1 1 はレイアウト時のクロストーク発生箇所判定において、階層設計されたデザインに対し、階層を跨いで隣接している隣接配線の並行配線長をチェックする方法を表す図、図 1 2 は図 1 1 に示す並行配線長チェック方法の具体例を表す図である。図 1 1 において、S 1 1 0 0 はバウンダリ情報抽出手順、S 1 1 0 1 は階層組み上げ手順、S 1 1 0 2 は並行配線長チェック手順、1 1 0 0 は階層すべてを含む階層ネットリストである。図 1 2 において、1 2 0 0 はデザインの T

OP階層、1201はTOP階層1200下にあるブロック、1202～1205はブロック1201の端子、1206～1211はネットである。

【0089】

並行配線長抽出手順S1600において、レイアウト1600と基準値1601から、隣接配線の並行配線長を抽出する。並行配線長抽出の対象はすべての階層で行う。しかし、この時点では、同一階層内での並行配線長しかチェックされていない。

【0090】

次にバウンダリ情報抽出手順S1100において、階層のすべてのブロックが記述された階層ネットリスト1100を入力として、TOP階層とブロック間の接続情報を抽出する。

【0091】

図12を用いて具体的に説明する。TOP階層1200にブロック1201が存在する。TOP階層1200のネット1206、1208、1209、1211は、それぞれブロック1201の端子1202、1204、1203、1205を介して、ブロック1201内のネット1207と1210に接続されている。

【0092】

バウンダリ情報抽出手順S1100では、ブロック名と、そのブロックの端子名、及びその端子に繋がるTOP階層でのネットとブロック内のネットが、表1に示すフォーマット1のように対応付けられる。

【0093】

【表1】

(フォーマット1)

【ブロック名】	【端子名】	【TOPでのネット名】	【ブロック内でのネット名】
ブロック1201	端子1202	ネット1206	ネット1207
ブロック1201	端子1203	ネット1209	ネット1210
ブロック1201	端子1204	ネット1208	ネット1207
ブロック1201	端子1205	ネット1211	ネット1210

次に、階層組み上げ手順 S 1 1 0 1 において、階層を跨ぐ隣接配線のそれぞれの階層での並行配線長が足し合わされる。並行配線長抽出手順 S 1 6 0 0 において、表 2 に示す並行配線長が抽出されているとする。

【 0 0 9 4 】

【表 2】

(抽出結果)

〔隣接配線のネット名1〕	〔隣接配線のネット名2〕	〔並行配線長〕
ネット1207	ネット1210	100 $\mu$ m
ネット1206	ネット1209	200 $\mu$ m
ネット1208	ネット1211	300 $\mu$ m

まず最初に、フォーマット 1 に従い、ネットを接続する。TOP 階層のネット 1 2 0 6 とネット 1 2 0 8 及び、ブロック 1 2 0 1 のネット 1 2 0 7 は端子 1 2 0 2 と端子 1 2 0 4 を介して繋がっている、これは 1 本のネット 1 2 1 2 として認識する。同様に、TOP 階層のネット 1 2 0 9 とネット 1 2 1 1 及び、ブロック 1 2 0 1 のネット 1 2 1 0 は端子 1 2 0 3 と端子 1 2 0 5 を介して繋がっている、これは 1 本のネット 1 2 1 3 として認識する。このネット接続認識に従い、表 2 の抽出結果を修正する。修正した抽出結果は表 3 のようになる。

【 0 0 9 5 】

【表 3】

(修正された抽出結果)

〔隣接配線のネット名1〕	〔隣接配線のネット名2〕	〔並行配線長〕
ネット1212	ネット1213	100 $\mu$ m
ネット1212	ネット1213	200 $\mu$ m
ネット1212	ネット1213	300 $\mu$ m

それで、修正した抽出結果より、ネット 1 2 1 2 とネット 1 2 1 3 は、1 0 0  $\mu$  m と 2 0 0  $\mu$  m と 3 0 0  $\mu$  m を合計した結果の 6 0 0  $\mu$  m の範囲で並行していると認識する。

【0096】

次に、並行配線長チェック手順S1102において、従来技術、実施の形態1～3などの方法を適用することにより、修正すべきクロストーク発生箇所を抽出する。

【0097】

以上のように、階層設計されたデザインであっても、階層を展開し、並行配線長をチェックすることにより、クロストークの影響を軽減することが可能である。

【0098】

なお、TOP階層1200にブロック1201が1つしかない場合について説明したが、他にブロックが存在しても同様の方法を繰り返し実行することで処理可能である。また、ブロック1201の中に、さらにブロックがあった場合にも、ブロック1201をTOP階層と見なし処理した後、今回説明した方法を適用することで処理可能である。また、階層展開後のネット名を、ネット1212と1213というように、当初あったネット名とは異なる名前で表現しているが、これは、それぞれを構成するTOP階層1200のネット名1206、1209と表現する方がよい。それというのも、異なるネット名にすると、ネットリストの不一致が発生し、後のレイアウト修正がやりにくくなるからである。

【0099】

【発明の効果】

以上のように本発明によれば、クロストークによる遅延時間の変動及びグリッチ発生箇所であって実際に必要な部分に限定して修正することになるので、従来手法よりも処理工数を削減し、面積増大・消費電力増大を抑制することができる。また、実際にクロストーク発生を起こしやすい箇所に限定して修正するので、製品不良発生率を低減することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1のクロストークチェック方法におけるレイアウト時のクロストーク発生箇所判定において、配線ピッチに応じて制限用の並行配線長を変える手法を表す図

【図 2】 図 1 の具体例を表す図

【図 3】 本発明の実施の形態 2 のクロストークチェック方法におけるレイアウト時のクロストーク発生箇所判定において、配線駆動セルの駆動能力に応じて制限用の並行配線長を変える手法を表す図

【図 4】 図 3 の具体例を表す図

【図 5】 本発明の実施の形態 3 のクロストークチェック方法におけるレイアウト時のクロストーク発生箇所判定において、クロック配線に注目し並行配線長をチェックする手法を表す図

【図 6】 図 5 の具体例を表す図

【図 7】 本発明の実施の形態 4 のクロストークチェック方法におけるレイアウト時のクロストーク発生箇所判定において、隣接配線の並行配線長から遅延変動量を計算し、タイミング検証する方法を表す図

【図 8】 図 7 の具体例を表す図

【図 9】 本発明の実施の形態 5 のクロストークチェック方法におけるレイアウト時のクロストーク発生箇所判定において、I/P などの駆動能力が不明なブロック/セルに対し、駆動能力を設定し、並行配線長を制限する方法を表す図

【図 10】 図 9 に示す駆動能力設定手順をより詳細に手順分けして記載した図

【図 11】 本発明の実施の形態 6 のクロストークチェック方法におけるレイアウト時のクロストーク発生箇所判定において、階層設計されたデザインに対し、階層を跨いで隣接している隣接配線の並行配線長をチェックする方法を表す図

【図 12】 図 11 に示す並行配線長チェック方法の具体例を表す図

【図 13】 クロストークの現象を表す図

【図 14】 クロストークの現象を表す図

【図 15】 従来のクロストークを考慮した設計フローを表す図

【図 16】 従来のレイアウト時のクロストーク対処方法を表す図

【図 17】 図 16 の具体例を表す図

【符号の説明】

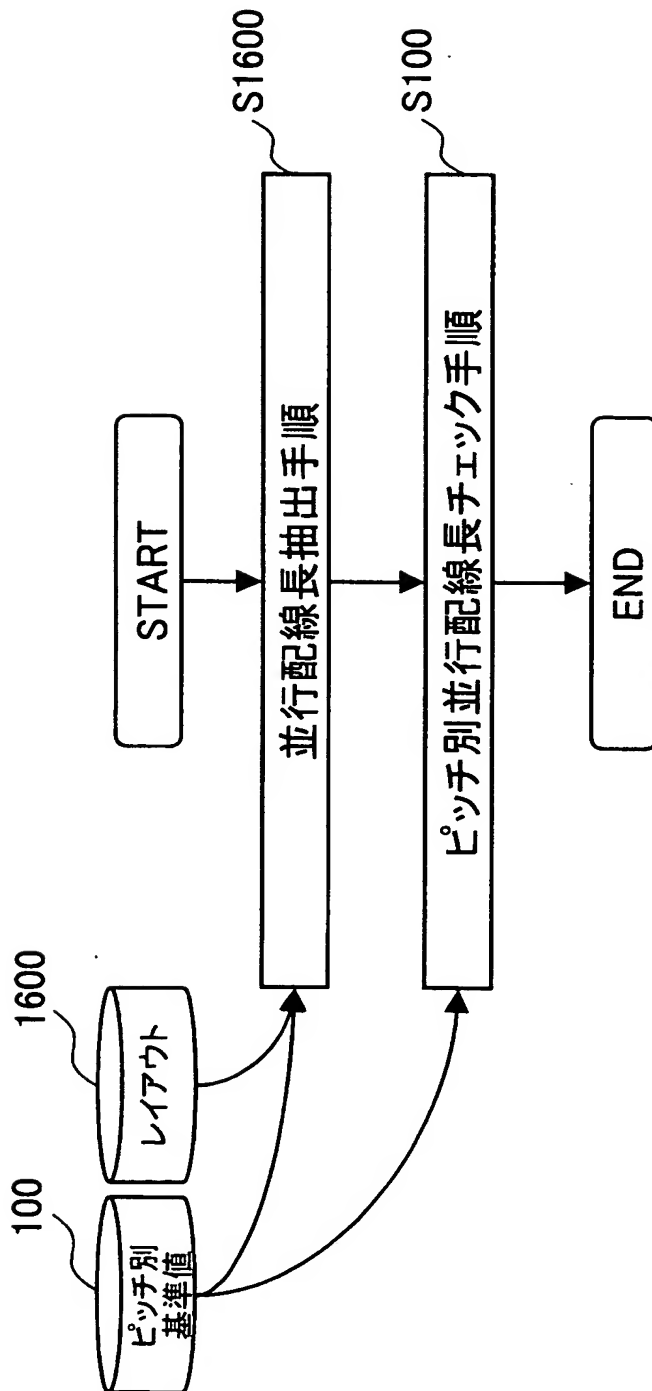
S100 ピッチ別並行配線長チェック手順

S 3 0 0 駆動能力別並行配線長チェック手順  
S 5 0 0 クロックネット抽出手順  
S 5 0 1 アグレッサ／ピクティム判定手順  
S 7 0 0 遅延変動量計算手順  
S 7 0 1 遅延情報出力手順  
S 9 0 0 駆動能力設定手順  
S 1 0 0 0 マスターセル駆動能力判定値作成手順  
S 1 0 0 1 対象セル駆動能力判定値計算手順  
S 1 0 0 2 対象セル駆動能力判定手順  
S 1 1 0 0 バウンダリ情報抽出手順  
S 1 1 0 1 階層組み上げ手順  
S 1 1 0 2 並行配線長チェック手順  
1 0 0 ピッチ別基準値  
3 0 0 駆動能力別基準値  
4 1 0 駆動能力別の並行配線長制限値  
4 1 1 駆動能力別の並行配線長制限値  
5 0 0 ネットリスト  
5 0 1 各セル信号波形の傾き情報  
7 0 0 遅延変動量テーブル  
8 0 5 遅延変動量  
9 0 0 遅延ライブラリ  
1 0 0 0 マスターセル  
1 0 0 1 対象セル  
1 1 0 0 階層ネットリスト  
1 6 0 0 レイアウト

【書類名】

図面

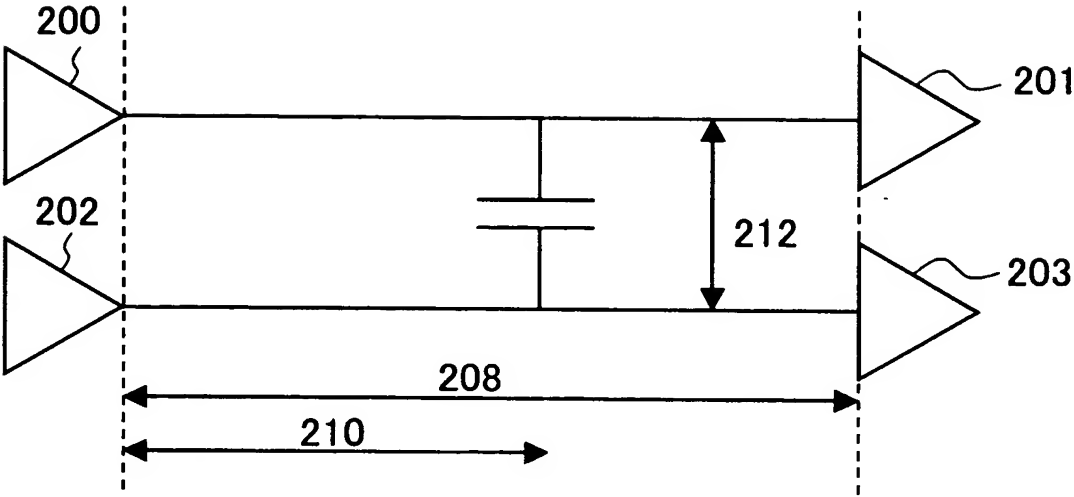
【図 1】



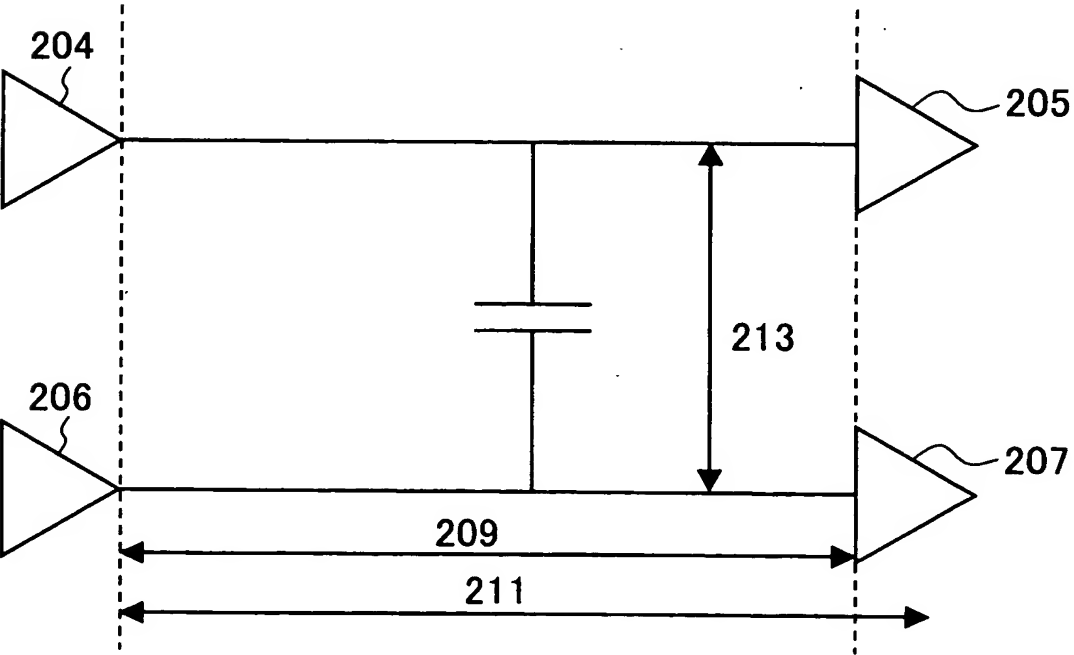


【 図 2 】

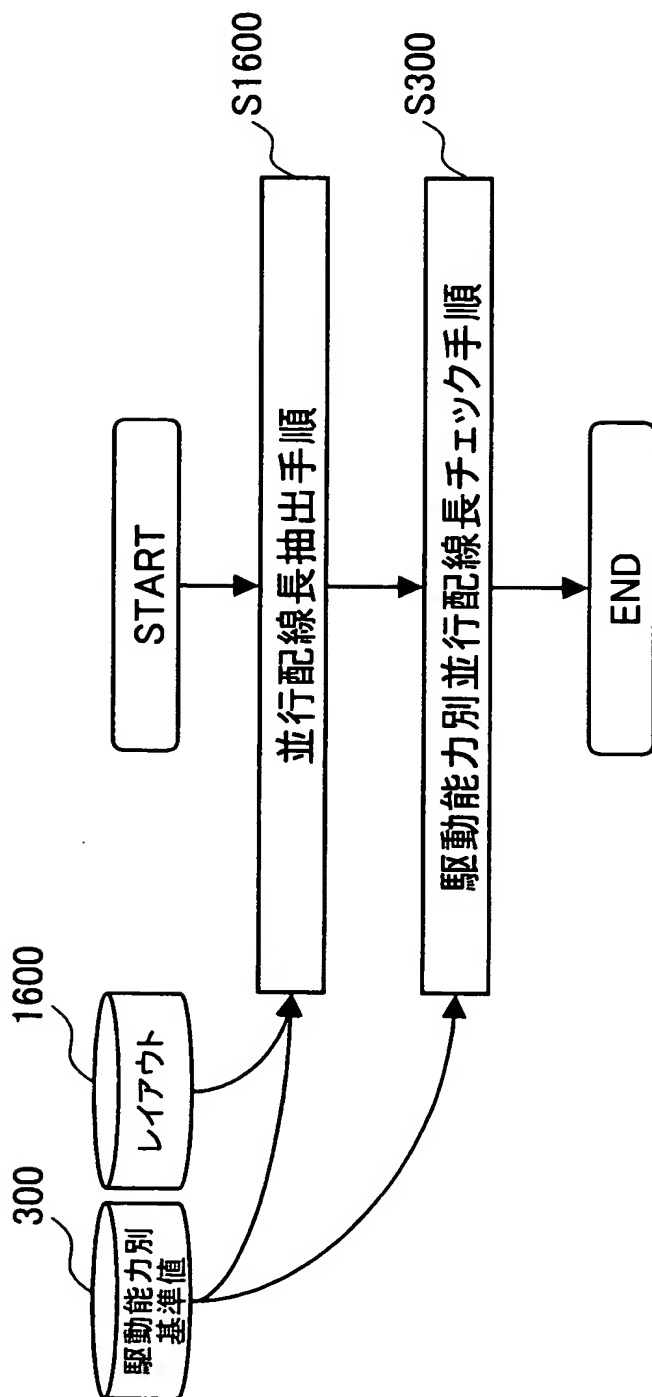
(a)



(b)

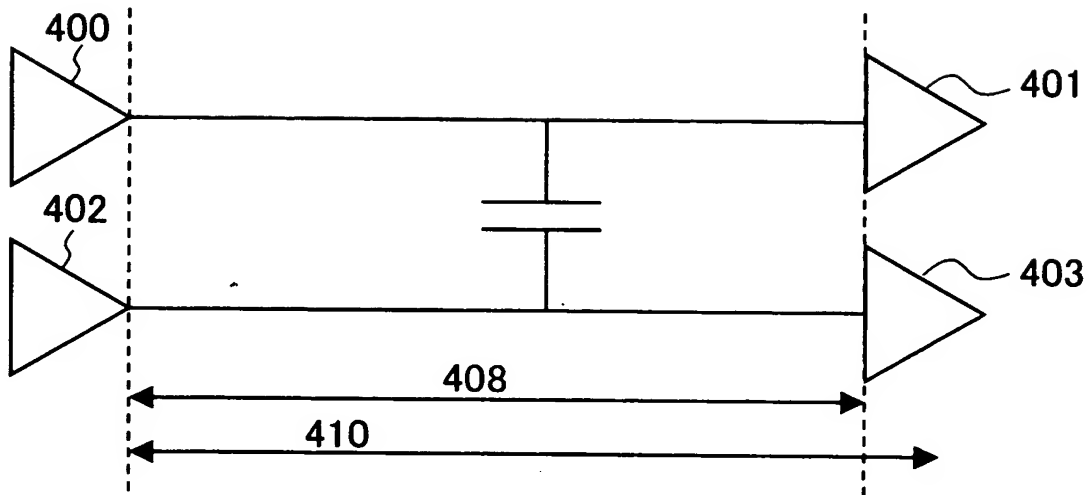


【図 3】

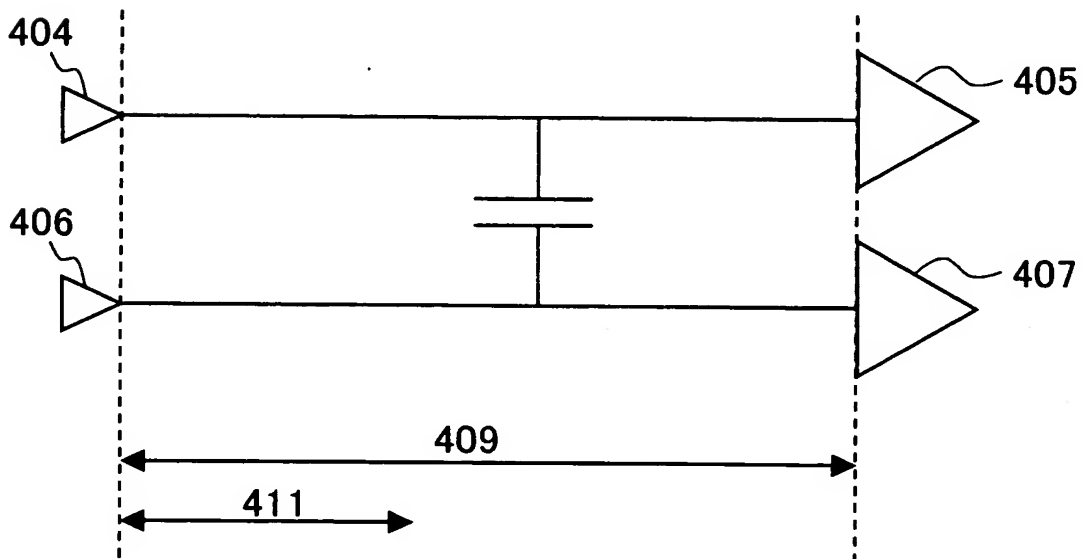


【図 4】

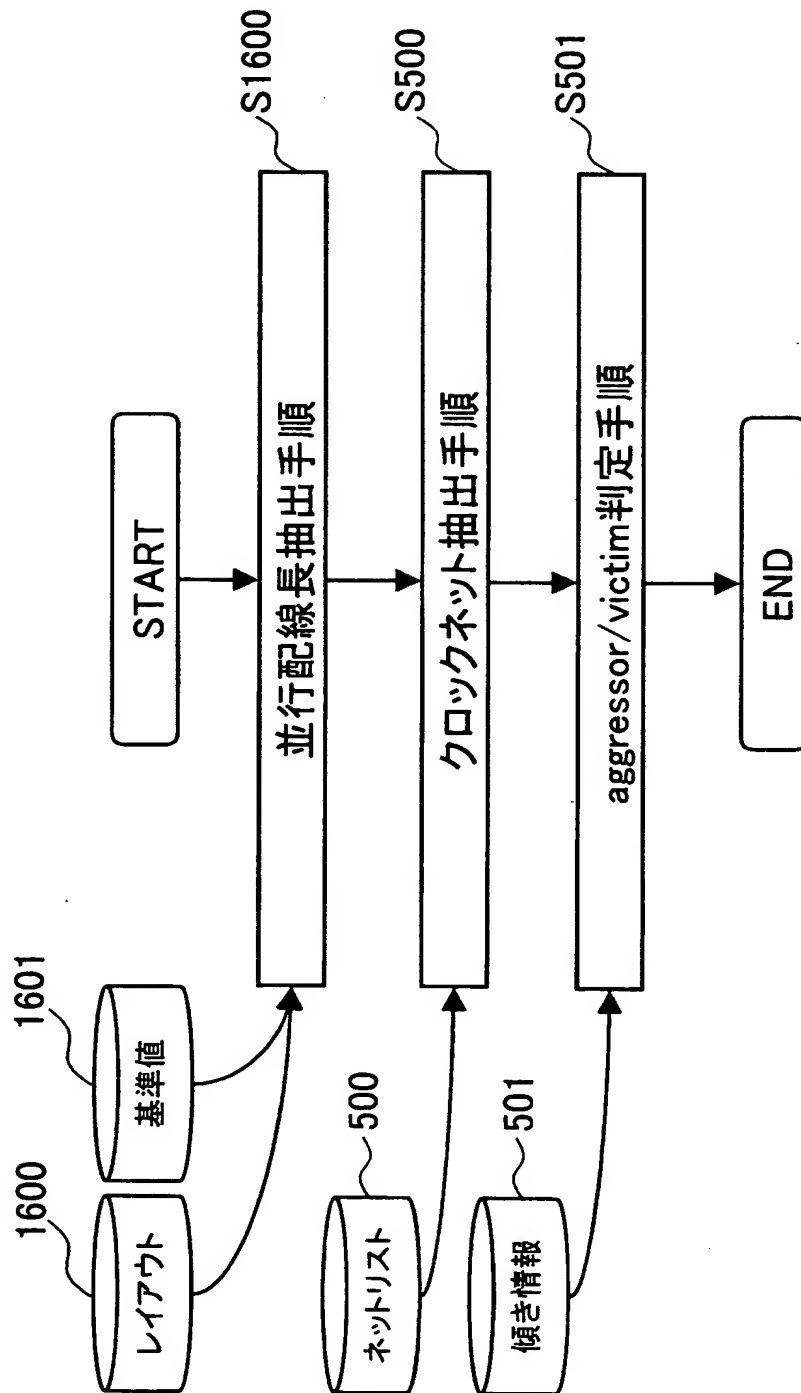
(a)



(b)

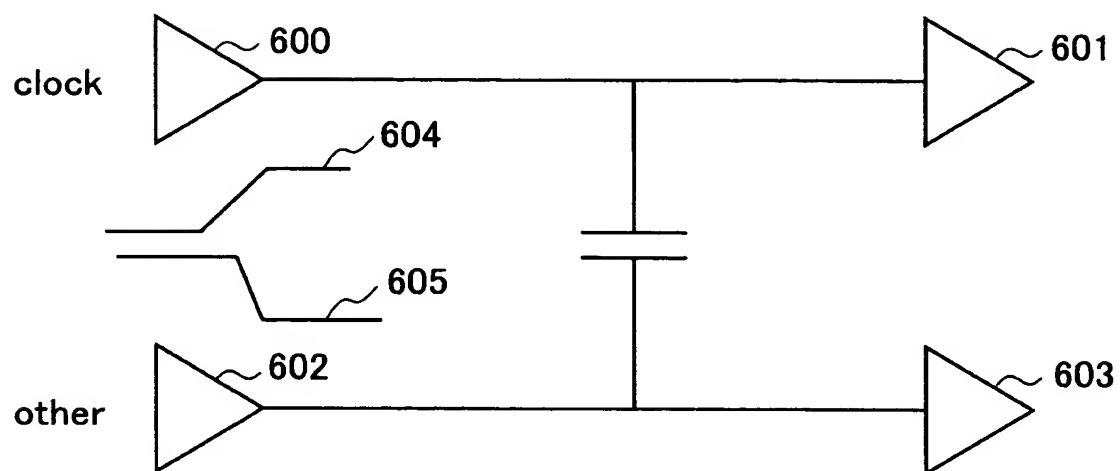


【図 5】

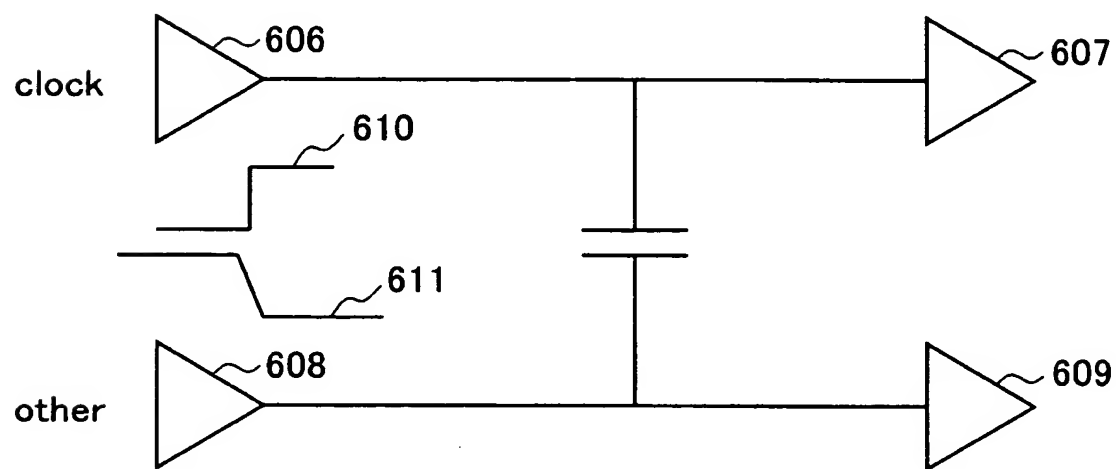


【図 6】

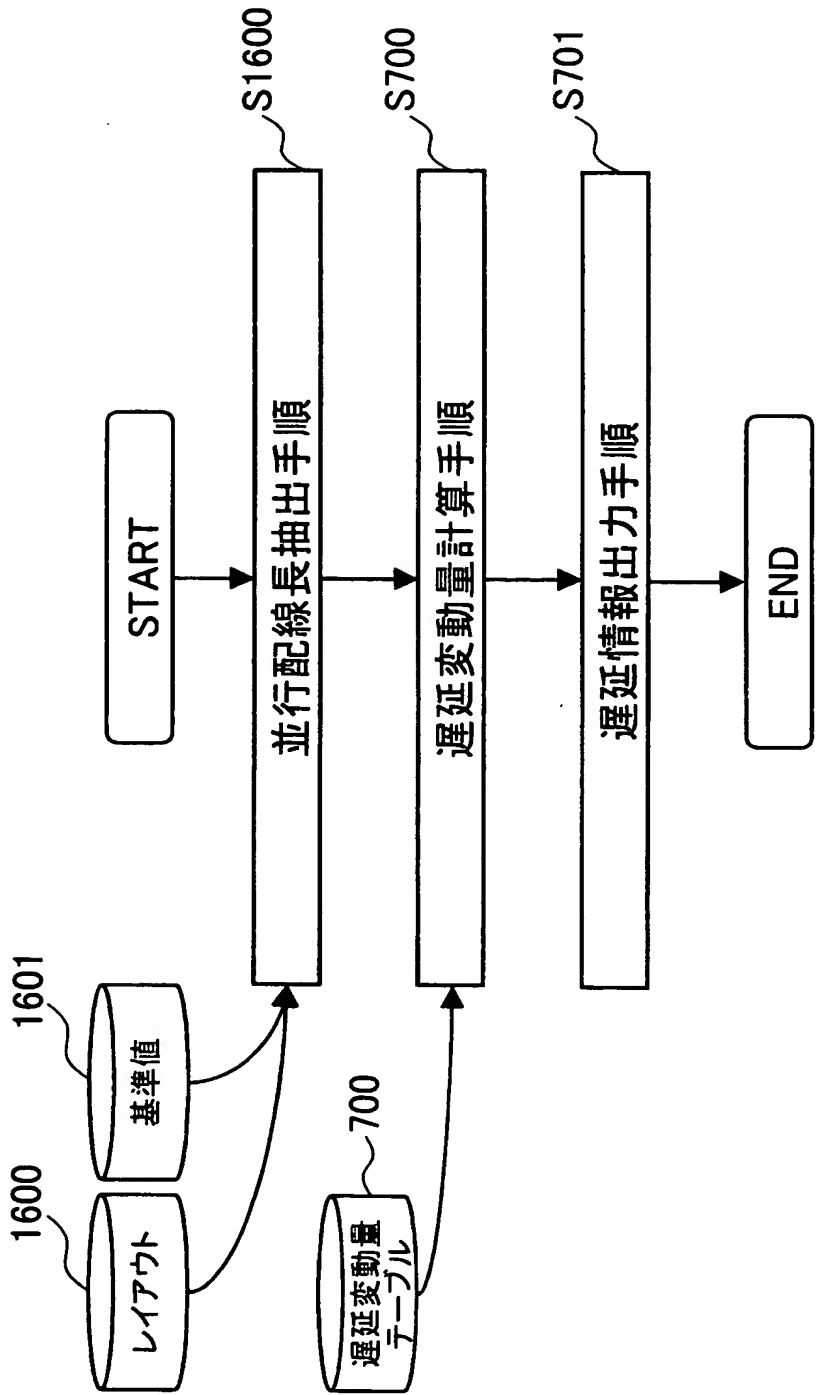
(a)



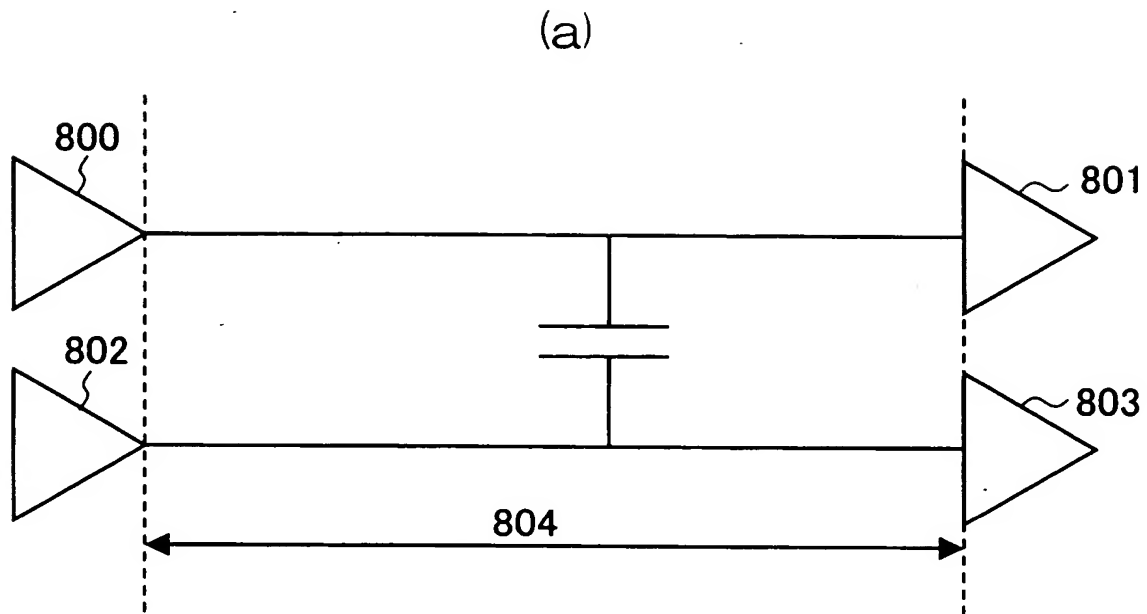
(b)



【図 7】



【図 8】



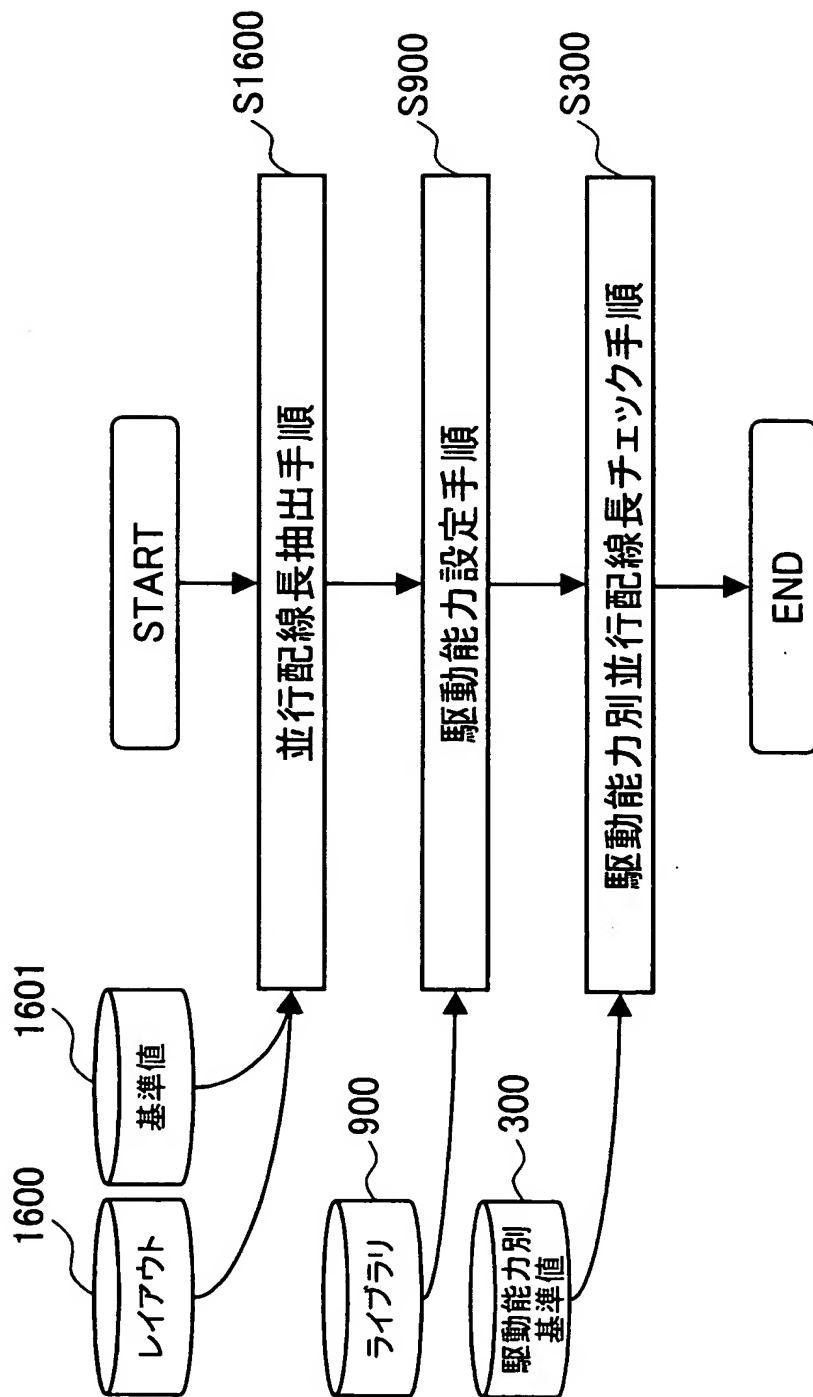
(b)

		並行配線長			
		100 $\mu$ m	200 $\mu$ m	500 $\mu$ m	1000 $\mu$ m
駆動能力	x1	160ps	320ps	800ps	1600ps
	x2	80ps	160ps	400ps	800ps
	x4	40ps	80ps	200ps	400ps
	x6	20ps	40ps	100ps	200ps
	x8	10ps	20ps	50ps	100ps

↓

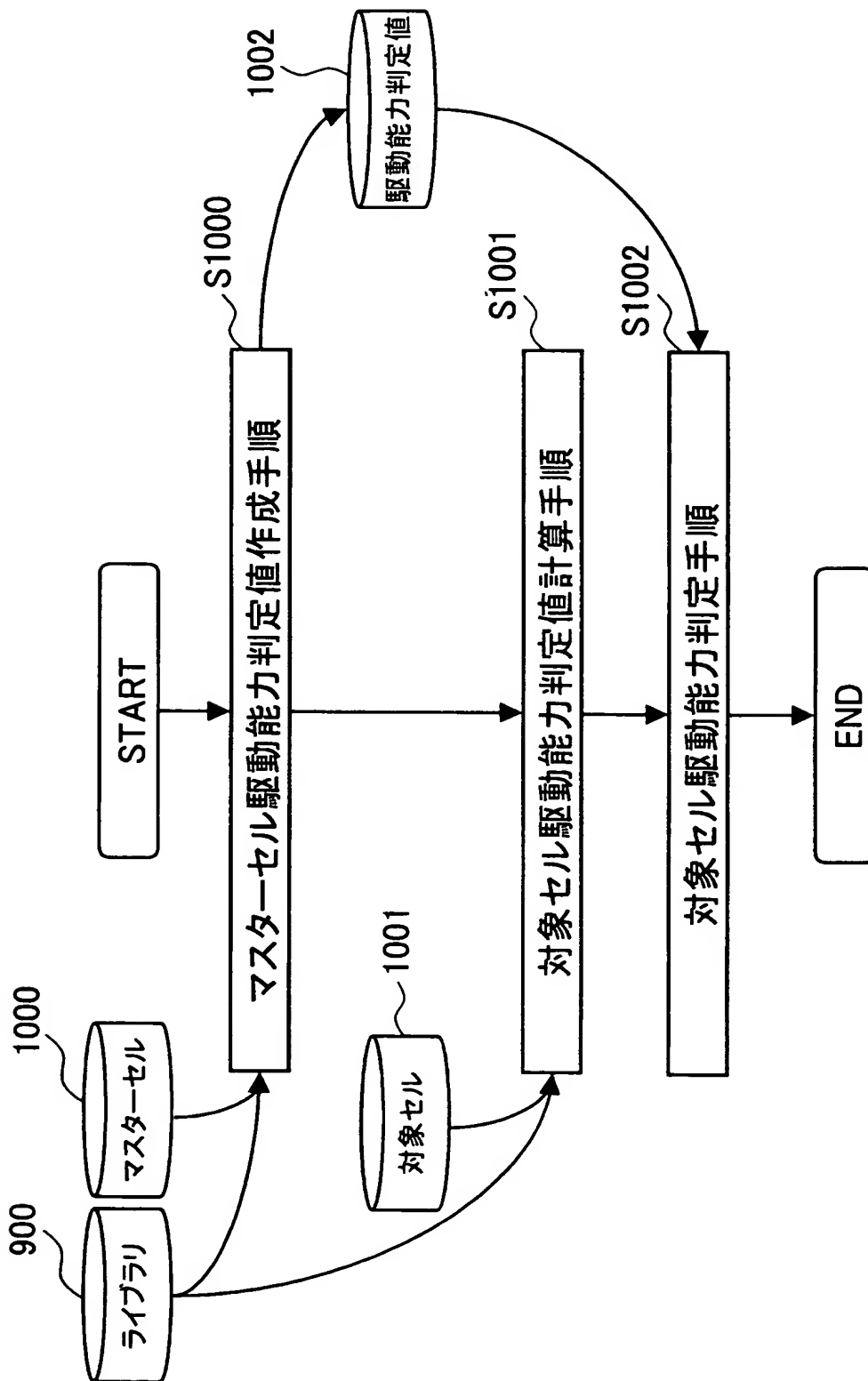
遅延変動量 805  
160ps

【図 9】

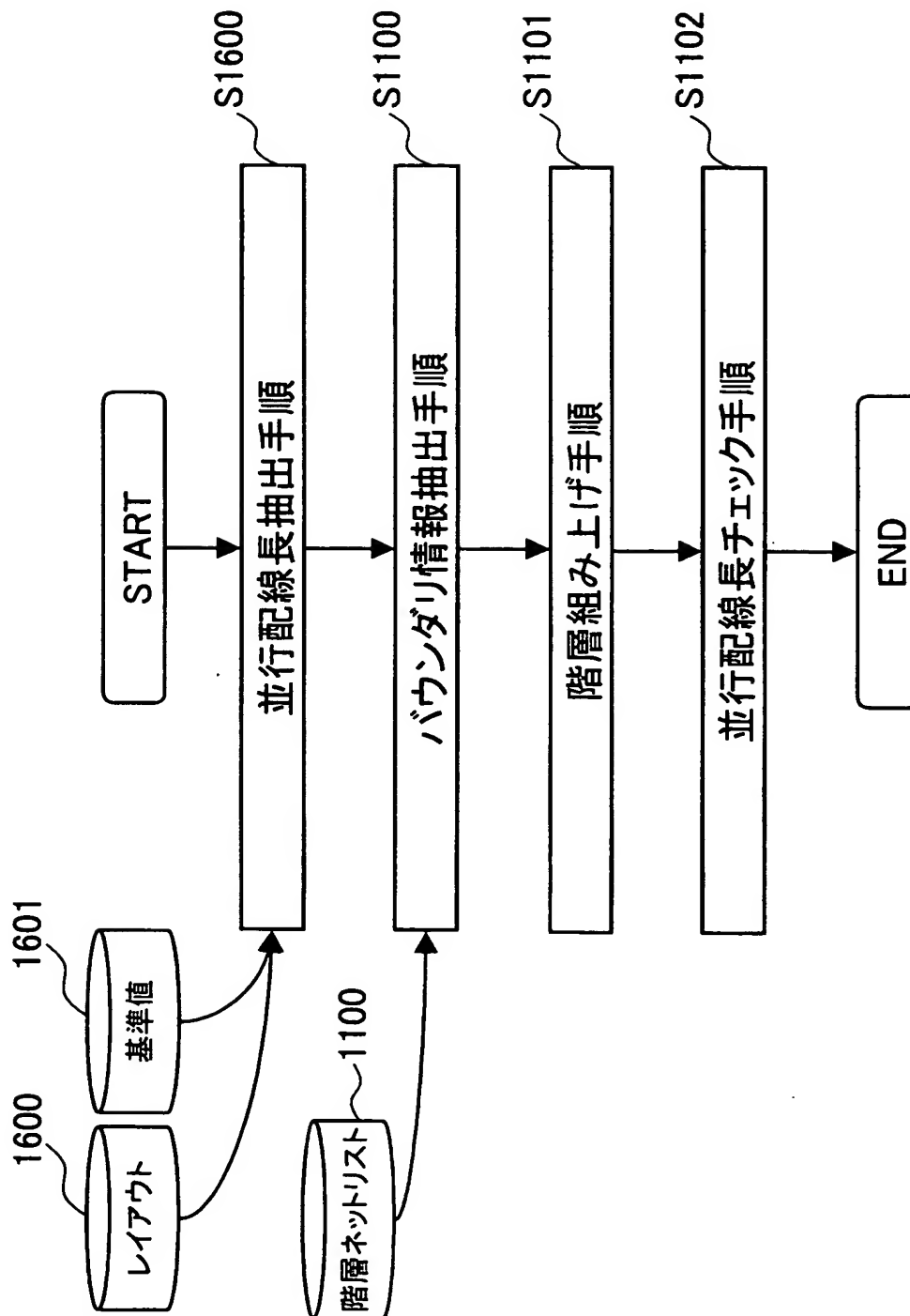




【図10】

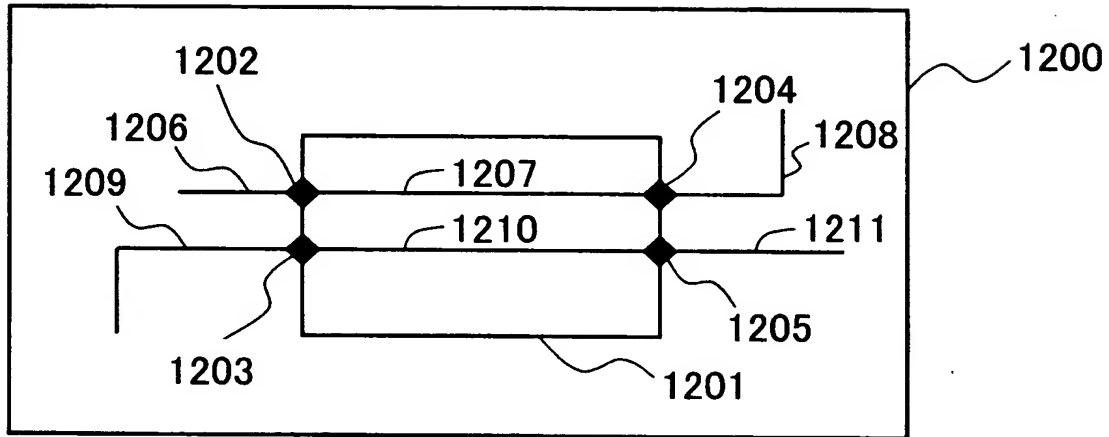


【図 1 1】

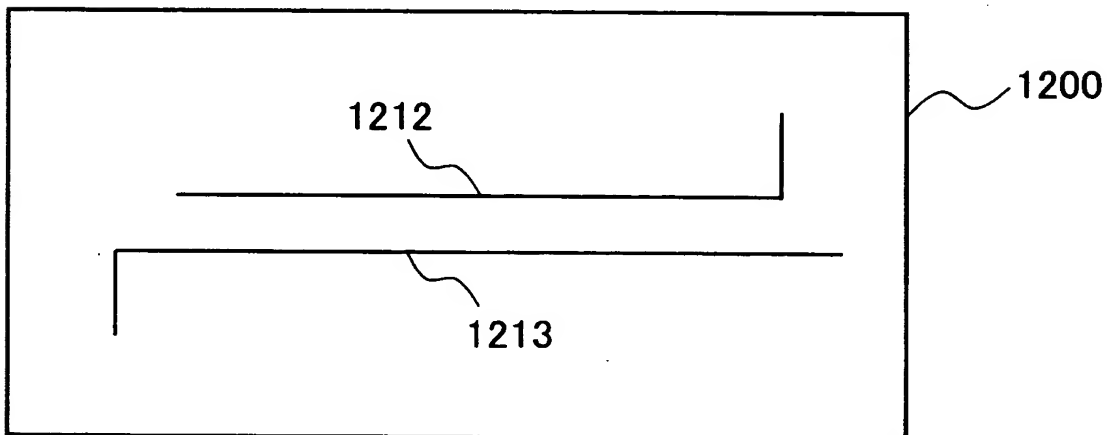


【図 1 2】

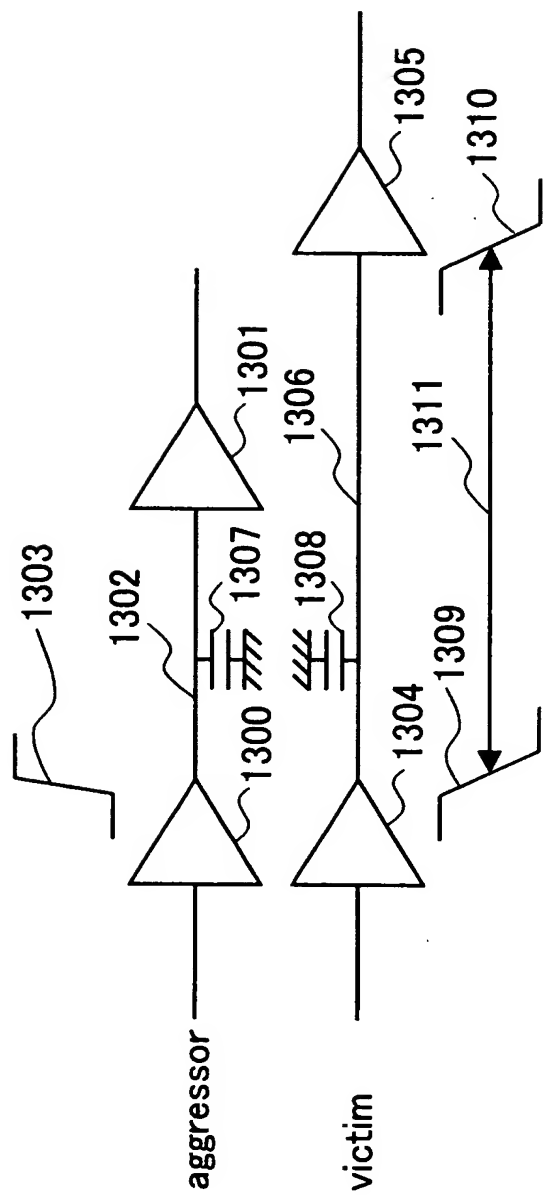
(a)



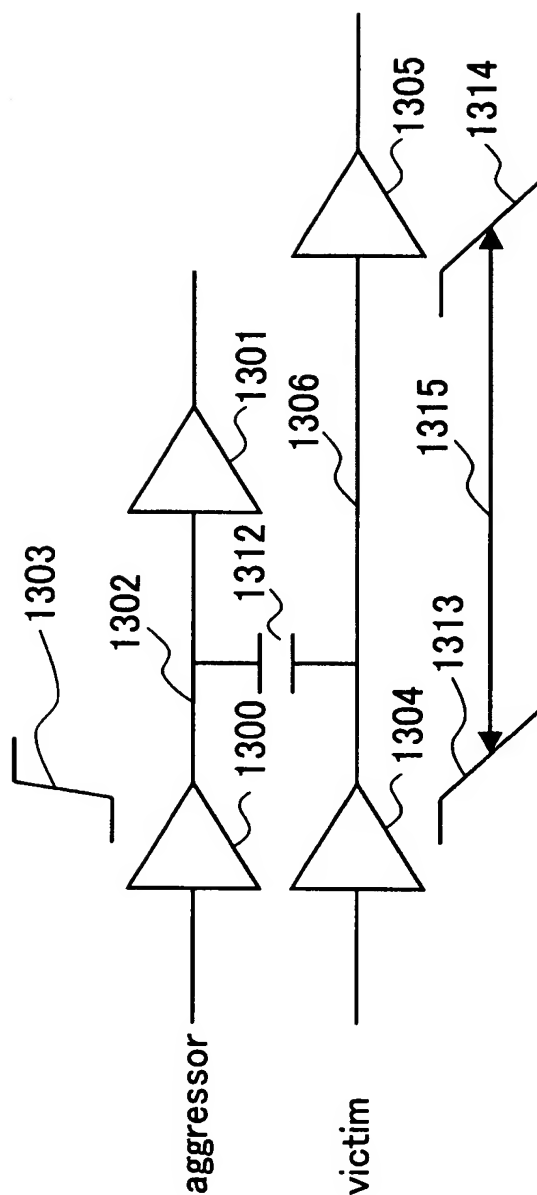
(b)



【図 13】

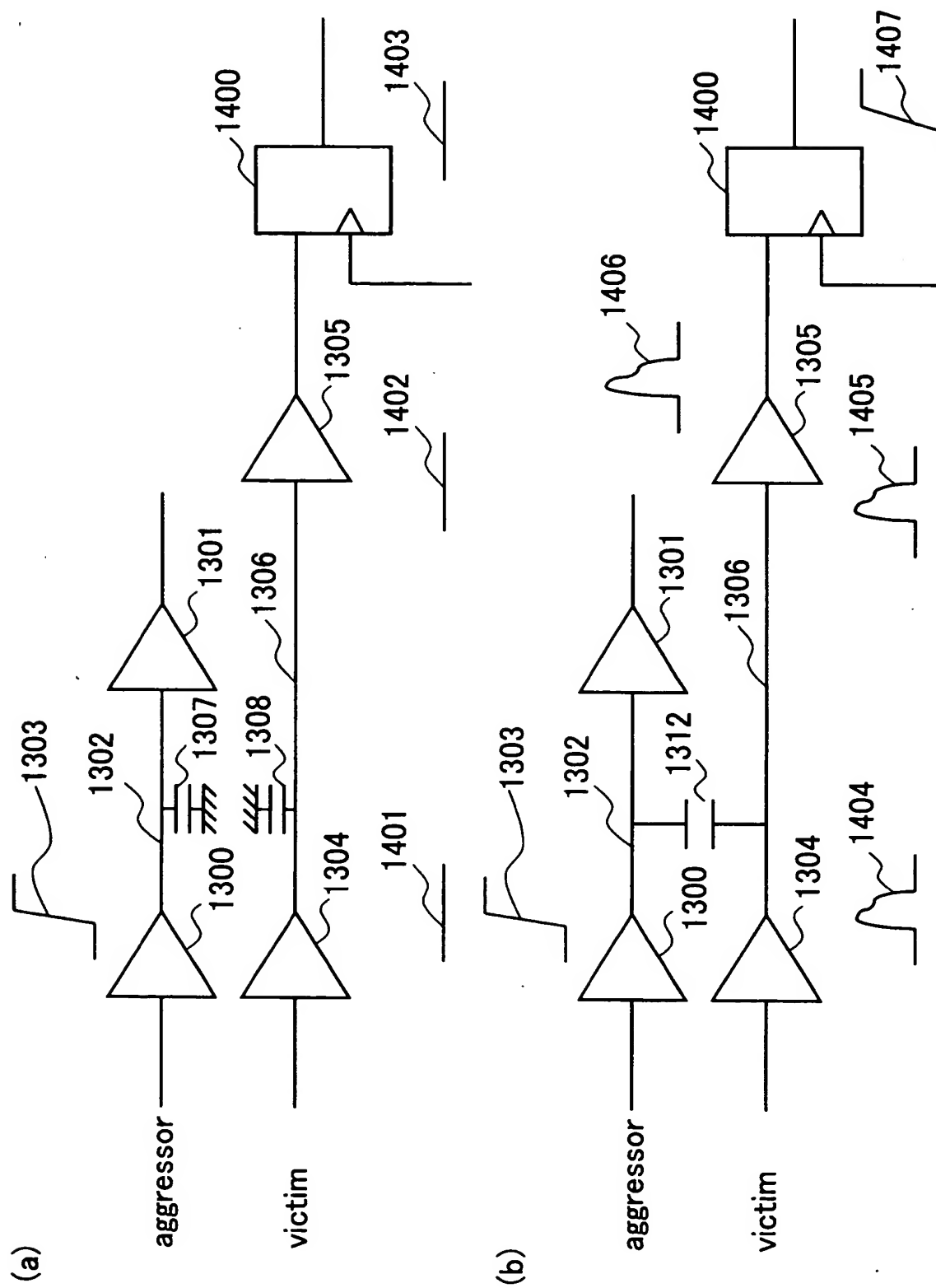


(a)

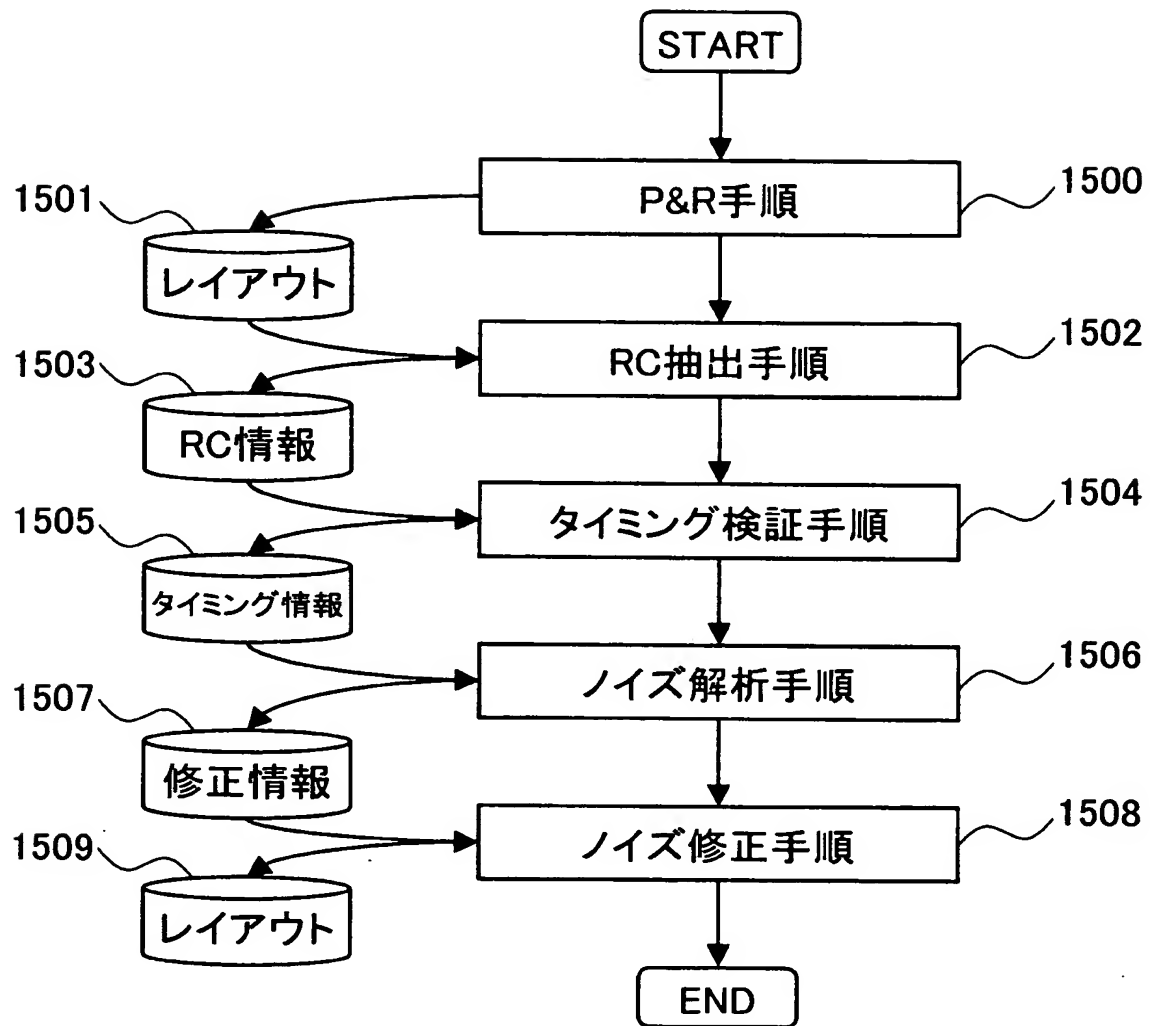


(b)

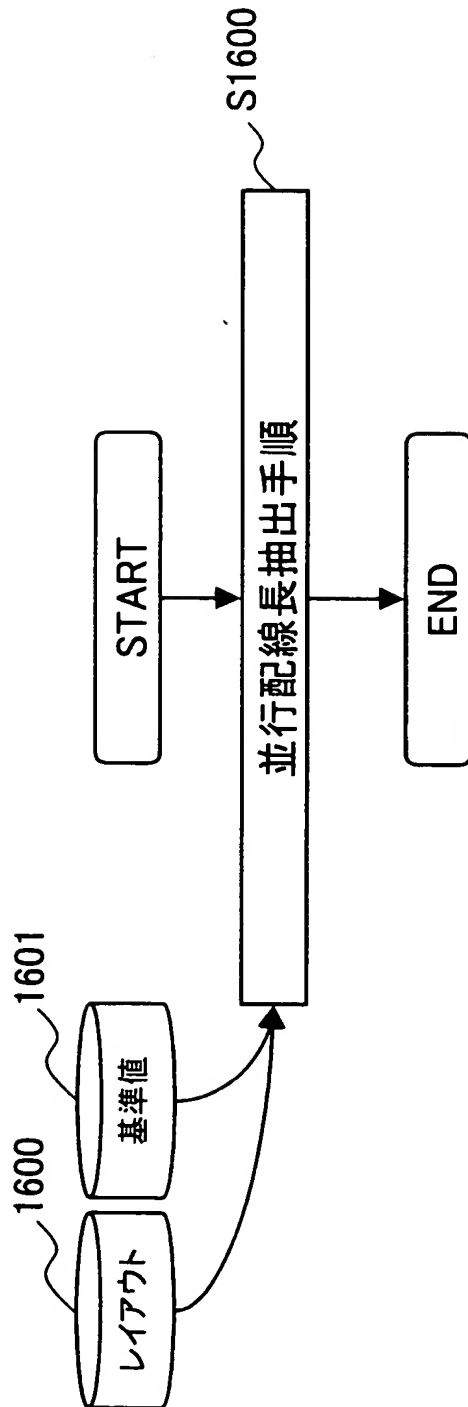
【图 14】



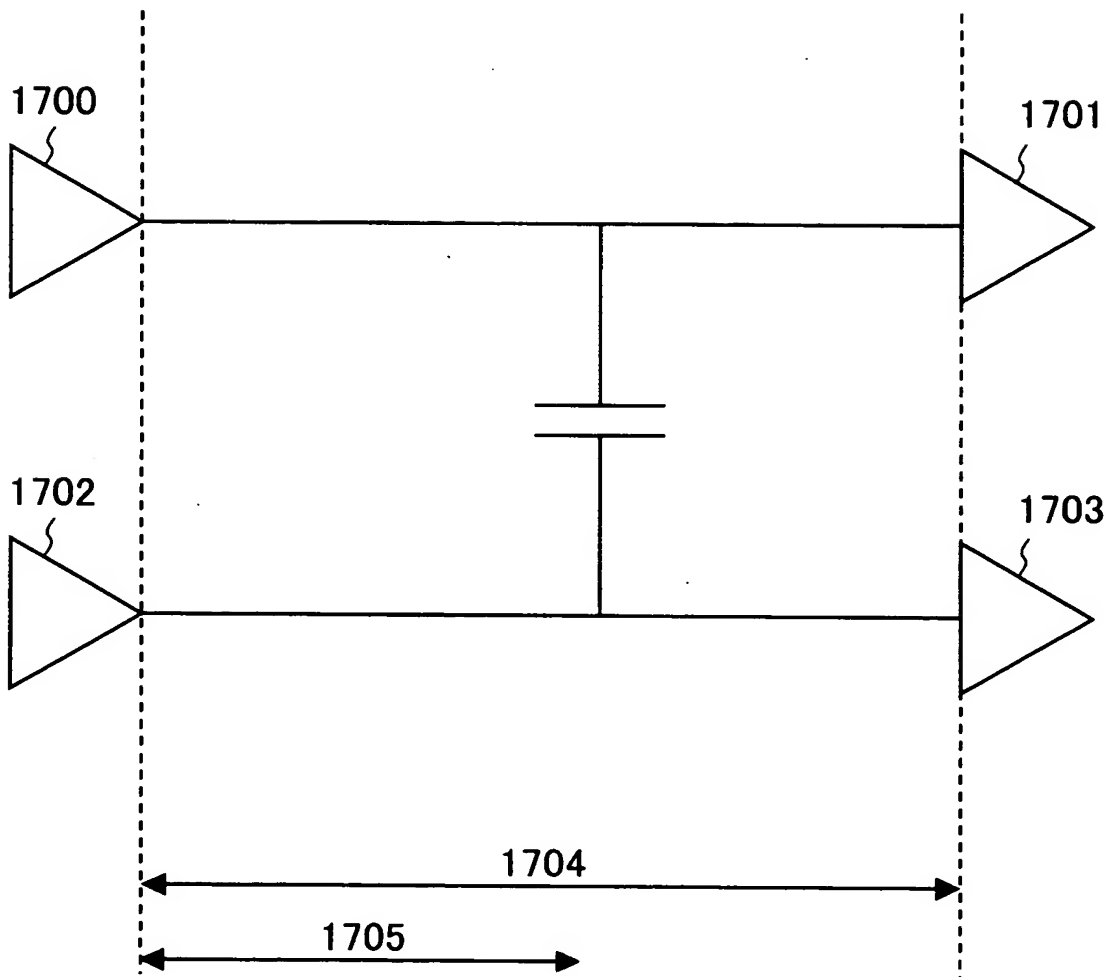
【図 1 5】



【図 1 6】



【図 1 7】





【書類名】 要約書

【要約】

【課題】 レイアウト時にクロストーク発生箇所をチェックする方法では、クロストーク発生と判定される箇所が膨大で、修正には処理時間の増大や面積増大を招く。レイアウト後にタイミングを考慮してクロストーク発生箇所をチェックする方法では、修正必要となった場合の手戻りが大きく工数がかかり、クロックなどのタイミング合わせ込みを実施した後であるので修正が難しい。

【解決手段】 並行配線長抽出手順 S 1 6 0 0 において、レイアウト 1 6 0 0 と配線ピッチに応じて異なる並行配線長の制限値を記述するピッチ別基準値 1 0 0 とを入力として、隣接配線の並行配線長を抽出する。ピッチ別並行配線長チェック手順 S 1 0 0 において、前記並行配線長抽出手順で抽出した隣接配線について配線ピッチを計算し、隣接配線の並行配線長とピッチ別基準値とを比較し、並行配線長の方が大きい場合にクロストーク発生箇所として判定する。

【選択図】 図 1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 3 5 2 3 3 7
受付番号	5 0 2 0 1 8 3 5 9 8 3
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 1 2 月 1 2 日

< 認定情報・付加情報 >

【提出日】 平成14年12月 4日

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[ 変更理由 ]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社